

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): WADA, et al.
Serial No.: Not yet assigned
Filed: January 29, 2004
Title: FABRICATION METHOD OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 29, 2004

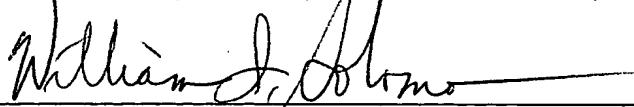
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-075429, filed March 19, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in black ink, appearing to read "William I. Solomon", is written over a horizontal line.

William I. Solomon
Registration No. 28,565

WIS/alb
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月19日
Date of Application:

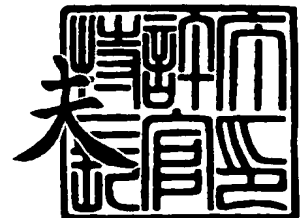
出願番号 特願2003-075429
Application Number:
[ST. 10/C]: [JP 2003-075429]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 H03000431

【提出日】 平成15年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 和田 雄二

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 春日部 進

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 長谷部 健彦

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 成塚 康則

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 薮下 明

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 森 照享

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 長谷部 昭男

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 本山 康博

【発明者】

【住所又は居所】 東京都渋谷区東3丁目16番3号 日立電子エンジニア
リング株式会社内

【氏名】 庄司 照雄

【発明者】

【住所又は居所】 東京都渋谷区東3丁目16番3号 日立電子エンジニア
リング株式会社内

【氏名】 末吉 正和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する配線を有する第 1 シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第 1 カードを用意する工程、

(c) 前記複数の接触端子を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程、

を含み、

前記複数の接触端子の前記先端は前記第 1 シートの第 1 面に配置され、前記第 1 シートの前記第 1 面と反対側の第 2 面には前記配線と電氣的に接続する複数の第 2 電極が配置され、

前記第 1 カードは、前記複数の第 2 電極に電氣的に接続する複数の接続機構および前記複数の接触端子を前記複数の第 1 電極へ押圧する押圧機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第 1 電極への接触時の加重によって前記第 2 電極を押圧する接触針と前記接触針を保持する保持部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極と接触するように配置され、

前記押圧機構は、前記第 1 シート側から第 1 弾性材、押圧部材および第 2 弾性材を順に重ねて形成され、前記第 1 シートの前記第 2 面上にて前記複数の接触端子の上部に配置され、

1 つの前記押圧機構は 1 つ以上の前記接触端子を押圧することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法において、前記押圧機構は、前記第 1 シートの前記第 2 面上にて前記複数の接触端子の各々の

上部にそれぞれ配置され、1つの前記押圧機構は1つの前記接触端子を押圧することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記第1シートの前記第2面には少なくとも前記第2電極が配置されていない領域にて第1補強部材が形成され、前記半導体ウエハおよび前記第1補強部材は第1線膨張率を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法において、前記半導体ウエハはシリコンを主成分とし、前記第1補強部材は42アロイ、シリコンまたはシリコンと同程度の線膨張率の材質を主成分とすることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法において、前記第1弾性材および前記第2弾性材は、前記複数の接触端子の前記先端と前記複数の第1電極との間の隙間を吸収するように前記複数の接触端子の前記複数の第1電極への押圧時の加圧によって変形することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1記載の半導体集積回路装置の製造方法において、前記第1弾性材の弾性率は前記第2弾性材の弾性率より小さいことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法において、前記第1シートの前記第2面にて、隣接する前記第2電極は隣接する前記接触端子の先端部間の間隔より広い第1の間隔を隔てて配置され、前記第1の間隔は各々の前記第2電極間で等しいことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記主面は複数の第1領域に分割され、前記複数のチップ領域の各々は前記複数の第1領域のいずれかに配置され、前記(c)工程は前記複数の第1領域の各々に対して行うことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 (a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電

氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する配線を有する第 1 シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第 1 カードを用意する工程、

(c) 前記複数の接触端子を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程、

を含み、

前記複数の接触端子の前記先端は前記第 1 シートの第 1 面に配置され、前記第 1 シートの前記第 1 面と反対側の第 2 面には前記配線と電氣的に接続する複数の第 2 電極が配置され、

前記第 1 カードは、前記複数の第 2 電極に電氣的に接続する複数の接続機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第 1 電極への接触時の加重によって前記第 2 電極を押圧する接触針と前記接触針を保持する保持部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極に接触するように配置され、

前記接触針は、前記複数の接触端子が前記複数の第 1 電極へ接触する前に予め前記第 2 電極を押圧していることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 9 記載の半導体集積回路装置の製造方法において、前記第 1 シートの前記第 2 面には少なくとも前記第 2 電極が配置されていない領域にて第 1 補強部材が形成され、前記半導体ウエハおよび前記第 1 補強部材は第 1 線膨張率を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 10 記載の半導体集積回路装置の製造方法において、前記半導体ウエハはシリコンを主成分とし、前記第 1 補強部材は 42 アロイ、シリコンまたはシリコンと同程度の線膨張率の材質を主成分とすることを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 9 記載の半導体集積回路装置の製造方法において、前記第 1 シートの前記第 2 面にて、隣接する前記第 2 電極は隣接する前記接触端

子の先端部間の間隔より広い第 1 の間隔を隔てて配置され、前記第 1 の間隔は各々の前記第 2 電極間で等しいことを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 9 記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記主面は複数の第 1 領域に分割され、前記複数のチップ領域の各々は前記複数の第 1 領域のいずれかに配置され、前記 (c) 工程は前記複数の第 1 領域の各々に対して行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 (a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程、

(b) 前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する配線を有する第 1 シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第 1 カードを用意する工程、

(c) 前記複数の接触端子を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程、

を含み、

前記複数の接触端子の前記先端は前記第 1 シートの第 1 面に配置され、前記第 1 シートの前記第 1 面と反対側の第 2 面には前記配線と電氣的に接続する複数の第 2 電極が配置され、

前記第 1 カードは、前記複数の第 2 電極に電氣的に接続する複数の接続機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第 1 電極への接触時の加重によって前記第 2 電極の前記表面を押圧する接触針と前記接触針を保持する保持部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極に接触するように配置され、

前記接触針と接する前記複数の第 2 電極の表面は平坦化されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 14 記載の半導体集積回路装置の製造方法において

、前記第 1 シートの前記第 2 面には少なくとも前記第 2 電極が配置されていない領域にて第 1 補強部材が形成され、前記半導体ウエハおよび前記第 1 補強部材は第 1 線膨張率を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 15 記載の半導体集積回路装置の製造方法において、前記半導体ウエハはシリコンを主成分とし、前記第 1 補強部材は 42 アロイ、シリコンまたはシリコンと同程度の線膨張率の材質を主成分とすることを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 請求項 14 記載の半導体集積回路装置の製造方法において、前記第 1 シートの前記第 2 面にて、隣接する前記第 2 電極は隣接する前記接触端子の先端部間の間隔より広い第 1 の間隔を隔てて配置され、前記第 1 の間隔は各々の前記第 2 電極間で等しいことを特徴とする半導体集積回路装置の製造方法。

【請求項 18】 請求項 14 記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記主面は複数の第 1 領域に分割され、前記複数のチップ領域の各々は前記複数の第 1 領域のいずれかに配置され、前記 (c) 工程は前記複数の第 1 領域の各々に対して行うことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体ウエハ状態での半導体集積回路の電氣的検査に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体集積回路装置の検査技術として、たとえばプローブ検査がある。このプローブ検査は、所定の機能どおりに動作するか否かを確認する機能テストや、DC 動作特性および AC 動作特性のテストを行って良品／不良品を判別するテスト等を含む。

【0003】

近年、半導体集積回路装置のプロープ検査においては、ウエハ出荷対応（品質の差別化）、K G D（Known Good Die）対応（M C P（Multi-Chip Package）の歩留り向上）、およびトータルコスト低減などの要求から、半導体ウエハ（以下、単にウエハと記す）状態でプロープ検査を行う技術が用いられている。

【 0 0 0 4 】

ウエハ状態でのプロープ検査に用いる検査装置として、たとえば接触端子をプロービング側の所定の領域に複数併設し、各接触端子に電氣的に接続する引き出し用配線と、絶縁層を挟んでその引き出し用配線と対向するグラウンド層とを有する多層フィルムを前記領域の弛みをなくすように押さえ部材に取り付け、その押さえ部材に対して接触圧供与手段によって接触圧を供与しつつ、所定のコンプライアンス機構を押さえ部材に係合させた構成の検査装置がある（たとえば特許文献 1 および特許文献 2 参照）。

【 0 0 0 5 】

また、上記接触端子および引き出し用配線等の形成手段として、たとえばシリコンウエハを異方性エッチングすることによって接触端子を形成するための型を形成し、この型を用いて接触端子および引き出し用配線等を形成し、接触端子および引き出し用配線等の形成後に型となったシリコンウエハを除去する技術がある（たとえば特許文献 3 および特許文献 4 参照）。

【 0 0 0 6 】

【特許文献 1】

特開平 1 1 - 2 3 6 1 5 号公報

【 0 0 0 7 】

【特許文献 2】

特開平 1 0 - 3 0 8 4 2 3 号公報

【 0 0 0 8 】

【特許文献 3】

特開平 1 1 - 9 7 4 7 1 号公報

【 0 0 0 9 】

【特許文献 4】

特開平 7-283280 号公報

【0010】

【発明が解決しようとする課題】

半導体集積回路装置の一種であるメモリ製品の大容量化や、同じく半導体集積回路装置の一種であるメモリ内蔵ロジック製品の増加に伴い、ウエハ状態でのプローブ検査に要する時間が増大している。そのため、ウエハ状態でのプローブ検査のスループットを向上させることが求められている。このスループットを向上させるためには、ウエハ 1 枚当たりの検査に要する時間を短縮することが求められる。ウエハ 1 枚当たりの検査に要する時間 T_0 は、たとえば、検査装置の 1 回の検査に要する時間を T_1 、プローバのインデックスに要する時間を T_2 、プローバが有する探針（プローブ針）とウエハとを接触させる回数（以下、タッチダウン回数と記す）を N 、およびウエハの交換に要する時間を T_3 とすると、 $T_0 = (T_1 + T_2) \times N + T_3$ と表される。この式より、ウエハ状態でのプローブ検査のスループットを向上させるためには、タッチダウン回数を少なくすることが課題となる。

【0011】

また、半導体集積回路装置の製造コストを低減するために、半導体素子および配線を微細化して、半導体チップ（以下、単にチップと記す）の面積を小さくし、ウエハ 1 枚当たりの取得チップ数を増加することが進められている。それに伴い、テストパッド（ボンディングパッド）の配置が狭ピッチ化し、テストパッドの面積も縮小されてきている。ここで、カンチレバー状の探針を有するプローバを用いて検査を行う場合には、テストパッドの表面に形成された自然酸化膜を破いて探針とテストパッドとを接触させるために、探針をテストパッドの表面でワイピングさせる。探針をワイピングさせたことにより、テストパッド表面の自然酸化膜を破るだけでなく、テストパッドそのものの表面にワイピングによる傷が生じる。前述のようにテストパッドの面積が縮小されてきていることから、テストパッドの表面でその傷が占める領域は大きくなる。そのため、後の工程でそのテストパッドに接続されたボンディングワイヤの接着力が低下してしまう課題が存在する。

【0012】

本発明の目的は、ウエハ状態での半導体集積回路の電氣的検査のスループットを向上できる技術を提供することにある。

【0013】

また、本発明の他の目的は、半導体集積回路装置の検査時においてテストパッドに生じるダメージを低減することのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

すなわち、本発明は、複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第1電極が形成された半導体ウエハを用意する工程と、前記複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する配線を有する第1シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第1カードを用意する工程と、前記複数の接触端子を前記複数の第1電極に接触させて前記半導体集積回路の電氣的検査を行う工程とを含み、

前記複数の接触端子の前記先端は前記第1シートの第1面に配置され、前記第1シートの前記第1面と反対側の第2面には前記配線と電氣的に接続する複数の第2電極が配置され、

前記第1カードは、前記複数の第2電極に電氣的に接続する複数の接続機構および前記複数の接触端子を前記複数の第1電極へ押圧する押圧機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第1電極への接触時の加重によって前記第2電極を押圧する接触針と前記接触針を保持する保持

部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極に接触するように配置され、

前記押圧機構は、前記第 1 シート側から第 1 弾性材、押圧部材および第 2 弾性材を順に重ねて形成され、前記第 1 シートの前記第 2 面上にて前記複数の接触端子の上部に配置され、

1 つの前記押圧機構は 1 つ以上の前記接触端子を押圧する。

【0017】

また、本発明は、複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第 1 電極が形成された半導体ウエハを用意する工程と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する配線を有する第 1 シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第 1 カードを用意する工程と、前記複数の接触端子を前記複数の第 1 電極に接触させて前記半導体集積回路の電氣的検査を行う工程とを含み、

前記複数の接触端子の前記先端は前記第 1 シートの第 1 面に配置され、前記第 1 シートの前記第 1 面と反対側の第 2 面には前記配線と電氣的に接続する複数の第 2 電極が配置され、

前記第 1 カードは、前記複数の第 2 電極に電氣的に接続する複数の接続機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第 1 電極への接触時の加重によって前記第 2 電極を押圧する接触針と前記接触針を保持する保持部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極に接触するように配置され、

前記接触針は、前記複数の接触端子が前記複数の第 1 電極へ接触する前に予め前記第 2 電極を押圧している。

【0018】

また、本発明は、複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に

接続する複数の第 1 電極が形成された半導体ウエハを用意する工程と、前記複数の第 1 電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する配線を有する第 1 シートを、前記複数の接触端子の先端が前記半導体ウエハの主面に向けて突出するように保持する第 1 カードを用意する工程と、前記複数の接触端子を前記複数の第 1 電極に接触させて前記半導体集積回路の電気的検査を行う工程とを含み、

前記複数の接触端子の前記先端は前記第 1 シートの第 1 面に配置され、前記第 1 シートの前記第 1 面と反対側の第 2 面には前記配線と電気的に接続する複数の第 2 電極が配置され、

前記第 1 カードは、前記複数の第 2 電極に電気的に接続する複数の接続機構を有し、

前記接続機構は、弾性を有し前記複数の接触端子の前記複数の第 1 電極への接触時の加重によって前記第 2 電極の前記表面を押圧する接触針と前記接触針を保持する保持部材とから形成され、前記第 1 シートの前記第 2 面上にて前記第 2 電極に接触するように配置され、

前記接触針と接する前記複数の第 2 電極の表面は平坦化されている。

【 0 0 1 9 】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【 0 0 2 0 】

ウエハとは、集積回路の製造に用いる単結晶シリコン基板（一般にはほぼ平面円形状）、S O I（Silicon On Insulator）基板、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板をいう。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、T F T（Thin Film Transistor）およびS T N（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0021】

デバイス面とは、ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面をいう。

【0022】

接触機構とは、シリコンウエハを半導体集積回路の製造に用いるのと同様な、ウエハプロセス、すなわちフォトリソグラフィ技術、CVD (Chemical Vapor Deposition) 技術、スパッタリング技術およびエッチング技術などを組み合わせたパターンニング手法によって、配線層およびそれに接続された先端部を有する接触端子を一体的に形成したものをいう。

【0023】

薄膜プローブとは、検査対象と接触する接触端子とそこから引き回された配線とが設けられ、その配線に外部接触用の電極が形成された薄膜をいい、厚さ $10\mu\text{m} \sim 100\mu\text{m}$ 程度のものをいう。

【0024】

ポゴピン (POGO pin) とは、接触ピン (プランジャ (接触針)) をばね (コイルスプリング) の弾性力で電極 (端子) に押し当てることにより、その電極への電氣的接続を行うようにした接触針をいい、たとえば図 28 に示すように、金属製の管 (保持部材) TUB 内に配置されたばね SPR が金属ボール MBL を介して接触ピン PLG へ弾性力を伝える構成となっている。

【0025】

プローブカードとは、検査対象となるウエハと接触する接触端子および多層配線基板などを有する構造体をいい、半導体検査装置とは、プローブカードおよび検査対象となるウエハを載せる試料支持系を有する検査装置をいう。

【0026】

プローブ検査とは、チップ領域の主面上に形成された電極に上記接触端子の先端を当てて半導体集積回路の電氣的検査を行うことをいい、所定の機能通りに動作するか否かを確認する機能テストや DC 動作特性および AC 動作特性のテストを行って良品／不良品を判別するものである。

【0027】

バーンイン検査とは、温度および電圧ストレスを加えて将来不良に到る可能性のあるチップをスクリーニングすることをいう。

【 0 0 2 8 】

多数個取りとは、複数のチップ領域に対して同時に半導体集積回路の電氣的検査を行うことをいい、特に、超多数個取りとは、約 6 4 個以上のチップ領域（ピン数では約 1 0 0 0 個以上）に対して同時に半導体集積回路の電氣的検査を行うことをいう。

【 0 0 2 9 】

K G D (Known Good Die) とは、フリップチップボンディングなどのようにベアチップ状態で実装する形態のチップにおいて、良品であることを保証されたもののことをいう。ここで、良品が保証されているということは、パッケージ品と同程度の検査を実施されスクリーニングされているということである。

【 0 0 3 0 】

インデックス時間とは、チップまたはウエハを連続して検査する時に、1 枚のチップまたはウエハの検査が終了した後、次のチップまたはウエハの位置決めが完了して検査を開始可能となるまでの時間のことをいう。

【 0 0 3 1 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 3 2 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【 0 0 3 3 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を

除き、必ずしも必須のものではないことは言うまでもない。

【0034】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0035】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために部分的にハッチングを付す場合がある。

【0037】

また、本実施の形態においては、電界効果トランジスタを代表するMISFET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略す。

【0038】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0039】

(実施の形態1)

図1は、本実施の形態1のプロブカード(第1カード)の構造を斜め上方から示した要部斜視図である。

【0040】

本実施の形態1のプロブカードは、たとえば多層配線基板1に上部押圧手段および下部押圧手段を取り付けてなるものである。図1に示すように、多層配線基板1の上面に取り付けられた上部押圧手段は、ベースホルダ2、ピン3、リニアプッシュ4、スプリングプランジャ5、蓋6、アジャストホルダ7、ボルト8、シムリング9およびアジャストボルト10などから形成されている。

【0041】

ベースホルダ 2 は、プローブカードを検査対象のウエハに接触させた時の荷重を受け止め、その荷重によるプローブカードの歪みなどを防ぐ。それにより、後述するプローブカードが有する接触端子と、その接触端子が接触するウエハ主面の電極（テストパッド（第 1 電極））との相対的な位置がずれてしまうことを防いでいる。

【0042】

ピン 3 は、多層配線基板 1 とベースホルダ 2 との間に取り付けられ、多層配線基板 1 上でのベースホルダ 2 の位置を決定する。

【0043】

リニアプッシュ 4 は、上部押圧手段から後述する下部押圧手段に達するアジャストボルト 10 のベースホルダ 2 内におけるガイド機能を有し、アジャストボルト 10 の上下動を可能とするスペースを確保するために配置される。

【0044】

スプリングプランジャ 5 は、ベースホルダ 2 の側面から取り付けられ、多層配線基板 1 の上面に水平な方向（以降、XY 方向という）におけるアジャストボルト 10 の位置の調整を行う。

【0045】

蓋 6 は、ベースホルダ 2 に形成された穴内に配置されたリニアプッシュ 5 が、ベースホルダ 2 の上方へ抜け出てしまうことを防ぐ機能を有する。

【0046】

シムリング 9 は、アジャストボルト 10 とアジャストホルダ 7 との間の隙間を調整するためのものである。

【0047】

アジャストボルト 10 は、上部押圧手段および多層配線基板 1 を通して後述する下部押圧手段に達し、回転によって下部押圧手段の高さ方向での位置の調整を行う。また、アジャストボルト 10 の取り付けによって、上部押圧手段、多層配線基板 1 および下部押圧手段を一体化する。さらに、アジャストボルト 10 による下部押圧手段の高さ方向での位置の調整を終えた後は、アジャストホルダ 7 およびボルト 8 によってアジャストボルト 10 を締め付け、アジャストボルト 10

が回転してしまうことを防ぎ、下部押圧手段の高さ方向での位置に狂いが生じないようにする。

【0048】

図2は、上記上部押圧手段が多層配線基板1に取り付けられた際の高層配線基板1の上面の要部を示す要部斜視図である。

【0049】

図2に示すように、ベースホルダ2からは、後述する下部押圧手段が有する接触端子と電氣的に接続された多数本のワイヤ11が引き出され、これらのワイヤ11は、多層配線基板1の上面のそれぞれ対応する接続用端子へ接続されることによって、多層配線基板1に形成された回路と電氣的に接続している。

【0050】

図3は、多層配線基板1の下面に取り付けられる下部押圧手段の構成を示す斜視図である。

【0051】

図3に示すように、下部押圧手段は、ポゴピン（接続機構）12、受けピン板13、ポゴピン台座板14、15、ピン16、エラストマ（第2弾性材）17、プッシャ（押圧部材）18、押さえ板19、薄膜プローブ（第1シート）20、ストレッチホルダ21およびシリコンゴム22などから形成されている。

【0052】

ポゴピン12は、多数個取りもしくは超多数個取りに対応した必要な本数が配置されている。これらポゴピン12のそれぞれの下端は、薄膜プローブ20に接触し、それぞれの上端は上記ワイヤ11（図2参照）と電氣的に接続している。

【0053】

上記ポゴピン12が配置されたポゴピン台座板14、15は、ポゴピン12のXY方向における位置を合わせるために用いられ、ピン16およびピン3（図1参照）によってベースホルダ2（図1参照）と固定されることによってXY方向におけるベースホルダ2との相対的な位置が決定される。

【0054】

ストレッチホルダ21は、薄膜プローブ20をそれ自体に添付することによっ

て保持し、薄膜プローブ 20 の X Y 方向および高さ方向での位置を高精度に保っている。

【0055】

プッシャ 18 は、たとえば SUS（ステンレス）から形成されている。プッシャ 18 の配置数は、たとえば本実施の形態 1 のプローブカードを用いた半導体集積回路の電氣的検査時において、後述するプローブカードが有する複数の接触端子の接触するチップ領域の数と同数である。また、エラストマ 17 は、たとえばシリコンゴムから形成され、各プッシャ 18 上に各々 1 個ずつ配置されている。このようなエラストマが配置された状態で、プッシャ 18 は薄膜プローブ 20 の所定の位置に接触し、各チップ領域に個別に押圧力を与える。また、この押圧力の付与によって、検査対象のウエハの表面形状に合わせて変形可能であるが、これについては後に詳述する。

【0056】

上記のような受けピン板 13、ポゴピン台座板 14、15、エラストマ 17 およびプッシャ 18 は、螺子 23 によって押さえ板 19 へ固定されることによって高精度に一体化されている。

【0057】

シリコンゴム 22 はポゴピン台座板 15 とストレッチホルダ 21 との間に配置され、高さ方向での負荷が加わることにより、ポゴピン台座板 15 とストレッチホルダ 21 との X Y 方向での相対的な位置を固定する。

【0058】

このような下部押圧手段は、図 1 を用いて説明したアジャストボルト 10 による固定によって前述の上部押圧手段（図 1 参照）および多層配線基板 1（図 1 参照）と一体化されている。

【0059】

図 4 は、上記下部押圧手段の要部を示した断面図である。

【0060】

図 4 に示すように、薄膜プローブ 20 の下面（第 1 面）には、突起状の接触端子 24 が形成されている。また、薄膜プローブ 20 の上面（第 2 面）には、ラン

ド（第 2 電極）25 が形成されている。接触端子 24 とランド 25 とは、薄膜プローブ 20 内に形成された配線 26 によって電氣的に接続されている。このような状況下で、ポゴピン 12 の先端がランド 25 と接触し、ポゴピン 12 と接触端子 24 とが電氣的に接続されている。このような接触端子 24 がチップ領域の主面上に形成された電極（テストパッド）に接触することにより、本実施の形態 1 の半導体検査装置は半導体集積回路の電氣的検査を行うものである。このような薄膜プローブ 20 は、たとえば配線 26 の断線のような故障が発生し、プローブカードを修理しなければならない場合でも、同品種の薄膜プローブ 20 と交換することにより修理を完了できるので、修理に要する時間を短縮することができる。

【0061】

薄膜プローブ 20 の上面においては、補強材（第 1 補強部材）27 が形成されている。この補強材 27 としては、検査対象となるウエハと同程度の線膨張率（熱膨張係数（第 1 線膨張率））を有する材質を選択する。それにより、温度変化があつた場合でも、接触端子 24 とチップ領域の主面上に形成された電極（テストパッド）との相対的な位置を一致した状態に保つことができる。それにより、接触端子 24 を所定の電極（テストパッド）へ確実に接触させることができる。補強材 27 の材質としては、検査対象となるウエハがシリコンを主成分としている時には、シリコンもしくは 42 アロイを例示することができる。

【0062】

接触端子 24 の上部において、補強材 27 には溝 28 が形成され、この溝 28 内を満たし、かつ溝 28 の上部へ所定量が出るようにエラストマ（第 1 弾性材）29 が形成されている。このエラストマ 29 上に、前述のプッシャ 18 およびエラストマ 17 が、エラストマ 17、29 でプッシャ 18 を挟むように配置され、エラストマ 29 とプッシャ 18 とエラストマ 17 とで押圧機構 30 を形成している。ここで、本実施の形態 1 において、エラストマ 29 としては、エラストマ 17 より軟らかい（弾性率が小さい）材質を選択する。本発明者らの行った実験によれば、このようにエラストマ 29 の材質を選択することにより、たとえば検査対象のウエハに反りのような歪みが発生し、接触端子 24 が接触する複数の電極

(テストパッド) 間で高さにばらつきが発生していた場合でも、接触端子 24 を電極 (テストパッド) に確実に接触させることができた。それにより、本実施の形態 1 のプローブカードを用いた半導体集積回路の電氣的検査のスループットを向上することが可能となる。

【0063】

図 5 は上記薄膜プローブ 20 の全体の平面パターンを、特にランド 25 および配線 26 の配置パターンに着目して示した平面図であり、たとえば縦および横の配列がそれぞれ 8 列ずつの合計 64 個のチップ領域に対して同時に検査を行うことのできる構成を示している。図 6 はその平面パターンの一部であり、2 つのチップ領域に対応する部分を拡大して示した要部平面図である。また、図 6 中において、接触端子 24 は先端部の位置のみの図示とし、1 つのチップ領域に対して、接触端子 24 が 26 ピン配置された場合について示している。

【0064】

本実施の形態 1 では、隣接するランド 25 間の間隔 (第 1 の間隔) t_1 を隣接する接触端子 24 の先端部間の間隔より広く、かつ等間隔となるように設定している。これは、接触端子 24 の先端部の平面での配置位置は、それぞれの接触端子 24 が接触する検査対象のウエハの主面に形成された電極 (テストパッド) の位置によって決定されるが、ランド 25 の配置位置については、配線 26 の引き回しおよびポゴピン 12 の配置がしやすいよう設定できるからである。本実施の形態 1 において、この隣接するランド 25 間の間隔 t_1 は、チップサイズが 5 mm × 5 mm 程度であり、接触端子 24 が 26 ピン配置され、隣接する接触端子 24 の先端部間の間隔が数 10 μ m 程度である場合において、約 0.65 mm とすることを例示できる。

【0065】

上記のような薄膜プローブ 20 によれば、検査対象のウエハの主面の全面において接触端子 24 の先端部を電極 (テストパッド) の位置に合わせて配置し、接触端子 24 と電氣的に接続するポゴピン 12 を上方に垂直に延在するように配置しているので、チップサイズが小型化し、電極 (テストパッド) が小型化および狭ピッチ化した場合でも、電極 (テストパッド) の配列に関係なくウエハレベル

での半導体集積回路の検査を行うことが可能となる。

【0066】

図7は上記薄膜プローブ20の全体の平面パターンを、特にランド25および補強材27の配置パターンに着目して示した平面図であり、前述の図5と同様に、たとえば縦および横の配列がそれぞれ8列ずつの合計64個のチップ領域に対して同時に検査を行うことのできる構成を示している。図8はその平面パターンの一部であり、2つのチップ領域に対応する部分を拡大して示した要部平面図である。また、前述の図6と同様に、図8中において、接触端子24は先端部の位置のみの図示とし、1つのチップ領域に対して、接触端子24が26ピン配置された場合について示している。さらに、図8中においては、補強材27が形成された領域は、ハッチングを付して示している。

【0067】

図7および図8に示すように、薄膜プローブ20の上面において、エラストマ29（図4参照）を配置するための溝28が形成される領域と、ランド25を配置するための領域と、複数のランド25間の短絡を防ぐための溝が形成される領域とが設けられ、これらの領域を除くすべての領域に補強材27は形成される。前述したように、補強材27は検査対象となるウエハと同程度の線膨張率（熱膨張係数）を有する材質から形成されているので、薄膜プローブ20の上面の広い領域に補強材27を形成することによって、温度変化があった場合でも、接触端子24とチップ領域の主面上に形成された電極（テストパッド）との相対的な位置を確実に一致した状態に保つことが可能となる。

【0068】

ところで、上記接触端子24（図4参照）をチップ領域の電極（テストパッド）に接触させ、接触端子24と電極（テストパッド）との電氣的導通を取るためには、電極（テストパッド）の表面に形成された自然酸化膜（図示は省略）を破って接触端子24を電極（テストパッド）に接触させる必要がある。ここで、本実施の形態1のプローブカードが有する接触端子24（図4参照）の代わりに、カンチレバー状のプローブ針からなる接触端子を有するプローブカードを用いた場合には、その自然酸化膜を破るために、接触端子と電極（テストパッド）とが

接触した後に、接触端子をワイピングさせることによってその自然酸化膜を破ることになる。ところが、そのワイピングによって、自然酸化膜を破るだけでなく、電極（テストパッド）そのものの表面に傷を付けてしまうことが懸念される。電極（テストパッド）の表面にこのような傷が付いてしまった場合、後の工程で電極（テストパッド）にボンディングワイヤを接続した際に、電極（テストパッド）とボンディングワイヤとの接着力が低下してしまうおそれがある。また、チップサイズの縮小化によって、電極（テストパッド）も小型化するので、電極（テストパッド）の表面では傷の付いた領域の占める割合が大きくなり、さらに電極（テストパッド）とボンディングワイヤとの接着力が低下してしまうおそれがある。

【0069】

一方、本実施の形態1の接触端子24は、上記押圧機構30（図4参照）の押圧力によって先端部が上記自然酸化膜に突き刺さるようにして電極（テストパッド）そのものの表面に達し、接触端子24と電極（テストパッド）との電氣的導通を取る。そのため、カンチレバー状のプロブ針からなる接触端子を用いた場合に比べて、電極（テストパッド）そのものの表面に生じる傷を低減することができる。すなわち、後の工程で接続するボンディングワイヤと電極（テストパッド）との接着力が低下してしまう不具合を未然に防ぐことが可能となる。

【0070】

次に、上記図4～図8を用いて説明した薄膜プロブ20の製造工程について、図9～図16を用いて説明する。なお、図9～図16は、薄膜プロブ20の製造工程中の要部断面図である。

【0071】

まず、図9に示すように、厚さ0.2mm～0.6mm程度のシリコンからなるウエハ41を用意し、熱酸化法によってこのウエハ41の両面に膜厚0.5 μ m程度の酸化シリコン膜を形成する。続いて、フォトリジスト膜をマスクとしてウエハ41の主面側の酸化シリコン膜をエッチングし、ウエハ41の主面側の酸化シリコン膜にウエハ41に達する開口部を形成する。次いで、残った酸化シリコン膜をマスクとし、強アルカリ水溶液（たとえば水酸化カリウム水溶液）をも

ちいてウエハ 41 を異方的にエッチングすることによって、ウエハ 41 の主面に (111) 面に囲まれた角錐台状の穴 43 を形成する。

【0072】

次に、上記穴 43 の形成時にマスクとして用いた酸化シリコン膜をフッ酸およびフッ化アンモニウムの混合液によるウェットエッチングにより除去する。続いて、ウエハ 41 に熱酸化処理を施すことにより、穴 43 の内部を含むウエハ 41 の全面に膜厚 0.5 μm 程度の酸化シリコン膜 44 を形成する。次いで、穴 43 の内部を含むウエハ 41 の主面に導電性膜 45 を成膜する。この導電性膜 45 は、たとえば膜厚 0.1 μm 程度のクロム膜および膜厚 1 μm 程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。次いで、導電性膜 45 上にフォトレジスト膜を成膜し、フォトリソグラフィ技術によって後の工程で接触端子 24 (図 4 参照) が形成される領域のフォトレジスト膜を除去し、開口部を形成する。

【0073】

次に、導電性膜 45 を電極とした電解めっき法により、上記フォトレジスト膜の開口部の底部に現れた導電性膜 45 上に硬度の高い導電性膜 47、48、49 を順次堆積する。本実施の形態 1 においては、導電性膜 47、49 をニッケル膜とし、導電性膜 48 をロジウム膜とすることを例示できる。ここまでの工程により、導電性膜 48、49 から前述の接触端子 24 を形成することができる。なお、導電性膜 45、47 は、後の工程で除去されるが、その工程については後述する。

【0074】

次に、上記フォトレジスト膜を除去した後、接触端子 24 および導電性膜 45 を覆うようにポリイミド膜 50 を成膜する。続いて、そのポリイミド膜 50 に接触端子 24 に達する開口部を形成する。この開口部は、レーザを用いた穴あけ加工またはアルミニウム膜をマスクとしたドライエッチングによって形成することができる。

【0075】

次に、その開口部の内部を含むポリイミド膜 50 上に導電性膜 51 を成膜する

。この導電性膜 51 は、たとえば膜厚 $0.1\ \mu\text{m}$ 程度のクロム膜および膜厚 $1\ \mu\text{m}$ 程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。続いて、その導電性膜 51 上にフォトレジスト膜を形成した後に、そのフォトレジスト膜をフォトリソグラフィ技術によってパターンニングし、フォトレジスト膜に導電性膜 51 に達する開口部を形成する。次いで、めっき法により、その開口部内の導電性膜 51 上に導電性膜 52 を成膜する。本実施の形態 1 においては、導電性膜 52 として銅膜、または銅膜およびニッケル膜を下層から順次堆積した積層膜を例示することができる。

【0076】

次に、上記フォトレジスト膜を除去した後、導電性膜 52 をマスクとして導電性膜 51 をエッチングすることにより、導電性膜 51、52 からなる配線 26 および位置合わせ用のアライメントマーク 53 を形成する。配線 26 は、上記開口部の底部にて接触端子 24 と電氣的に接続することができる。

【0077】

次に、ウエハ 41 の主面に、たとえばポリイミド系の接着シートまたはエポキシ系の接着シートを貼付することにより、接着層 54 を形成する。続いて、この接着層 54 の上面に金属シート 55 を固着する。この金属シート 55 としては、線膨張率が低く、かつウエハ 41 の線膨張率に近い材質を選ぶものであり、本実施の形態 1 では、たとえば 42 アロイ（ニッケル 42 % かつ鉄 58 % の合金で、線膨張率 $4\ \text{ppm}/^{\circ}\text{C}$ ）またはインバー（ニッケル 36 % かつ鉄 64 % の合金で、線膨張率 $1.5\ \text{ppm}/^{\circ}\text{C}$ ）を例示することができる。また、金属シート 55 を用いる代わりにウエハ 41 と同じ材質のシリコン膜を形成してもよいし、シリコンと同程度の線膨張率を有する材質、たとえばスーパーインバー（鉄、ニッケルおよびコバルトの合金）、コバール（鉄、ニッケルおよびコバルトの合金）、またはセラジン（セラミックおよび樹脂の混合材料）などでもよい。このような金属シート 55 には、アライメントマーク 53 を視覚的に確認するための覗き窓 56 が形成されている。このような金属シート 55 を固着するには、たとえば上記接触端子 24 およびアライメントマーク 53 が形成されたウエハ 41 に覗き窓 56 が形成された金属シート 55 をアライメントマーク 53 および覗き窓 56 を

用いて位置合わせしつつ重ね合わせ、 $10\sim 200\text{ kgf/cm}^2$ 程度で加圧しながら接着層 54 のガラス転移点温度以上の温度で加熱を行い、加熱加圧圧着することによって実現できる。

【0078】

このような金属シート 55 を接着層 54 を用いて固着することによって、形成される薄膜プローブ 20 の強度向上および大面積化を図ることができる。また、金属シート 55 を固着することによって、検査時の温度に起因する薄膜プローブ 20 と検査対象のウエハとの相対的な位置ずれの防止等、様々な状況下での薄膜プローブ 20 と検査対象のウエハとの相対的な位置制度を確保することが可能となる。

【0079】

次に、フォトリソ膜 57 をマスクとして金属シート 55 をエッチングする。本実施の形態 1 において、このエッチングは、塩化第二鉄溶液を用いたスプレーエッチングとすることができる。

【0080】

次に、フォトリソ膜 57 を除去した後、図 10 に示すように、金属シート 55 をマスクとして接着層 54 に穴あけ加工を施し、配線 26 に達する開口部 58 を形成する。この際の穴あけ加工手段としては、たとえばエキシマレーザあるいは炭酸ガスレーザを用いたレーザ加工、またはドライエッチング加工を適用することができる。後の工程において、開口部 58 内には、開口部 58 の底部にて配線 26 と電氣的に接続する前述のランド 25 (図 4 参照) が形成される。

【0081】

次に、図 11 に示すように、フォトリソ膜 59 を用いて金属シート 55 をエッチングし、金属シート 55 からなる前述の補強材 27 (溝 28 を含む) を形成する。このエッチングによって形成された補強材 27 の平面パターンが図 7 および図 8 を用いて説明した補強材 27 の平面パターンとなる。

【0082】

次に、フォトリソ膜 59 を除去した後、図 12 に示すように、開口部 58 内に配線 26 と電氣的に接続するランド 25 を形成する。このランド 25 を形成

するには、たとえば配線 26 を電極とした電解めっき法により、銅膜、ニッケル膜および金膜を順次下層から積層することによって形成することができる。ここで、金属シート 55 からなる補強材 27 が形成された状況下でランド 25 を形成したことにより、補強材 27 を接地（グランド）層として用いることが可能となり、本実施の形態 1 のプローブカードを用いた検査工程時には、検査信号の乱れ等を防止することも可能となる。

【0083】

次に、図 13 に示すように、溝 28 内に、エラストマ 29 を形成する。この時、エラストマ 29 は所定量が溝 28 の上部へ出るように形成する。本実施の形態 1 においては、エラストマ 29 を形成する方法として、溝 28 内に弾性樹脂を印刷もしくはディスペンサ塗布する方法、またはシリコンシートを設置する方法を例示することができるが、前述したように、エラストマ 29 の材質としては、エラストマ 17（図 4 参照）より軟らかい（弾性率が小さい）ものを選択する。それにより、たとえば検査対象のウエハに反りのような歪みが発生し、接触端子 24 が接触するウエハの主面の複数の電極（テストパッド）間で高さにばらつきが発生していた場合でも、接触端子 24 を電極（テストパッド）に確実に接触させることが可能となる。また、エラストマ 29 は、多数の接触端子 24 の先端が検査対象のウエハの主面に配列された電極（テストパッド）に接触する際の衝撃を緩和しつつ、個々の接触端子 24 の先端の高さのばらつきを局所的な変形によって吸収し、電極（テストパッド）の高さのばらつきに倣った均一な食い込みによる接触端子 24 と電極（テストパッド）との接触を実現する。

【0084】

次に、図 14 に示すように、薄膜プローブ枠 60 およびプロセスリング 61 を接着剤を用いて補強材 27 に接着する。続いて、その薄膜プローブ枠 60 およびプロセスリング 61 に保護フィルム（図示は省略）を接着し、さらに中央をくり抜いたリング状の保護フィルム（図示は省略）をウエハ 41 の裏面に接着する。次いで、それら保護フィルムをマスクとし、フッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ 41 の裏面の酸化シリコン膜 44 を除去する。

【0085】

次に、上記保護フィルムを除去した後、ウエハ41にシリコンエッチング用固定治具を取り付ける。このシリコンエッチング用固定治具は、中間固定板62、ステンレス製の固定治具63、ステンレス製の蓋64およびOリング65などから形成される。ウエハ41にシリコンエッチング用固定治具を取り付けるには、中間固定板62に薄膜プローブ枠60を螺子止めし、固定治具63と蓋64との間にOリング65を介してウエハ41を装着する。ウエハ41にシリコンエッチング用固定治具を取り付けた後、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜プローブ20を形成するための型材であるウエハ41を除去する。

【0086】

続いて、酸化シリコン膜44、導電性膜45および導電性膜47を順次エッチングにより除去する。この時、酸化シリコン膜44はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングし、導電性膜45に含まれるクロム膜は過マンガン酸カリウム水溶液を用いてエッチングし、導電性膜45に含まれる銅膜および導電性膜47であるニッケル膜はアルカリ性銅エッチング液を用いてエッチングする。ここまでの工程により、接触端子24を形成する導電性膜48（図9参照）であるロジウム膜が接触端子24の表面に現れる。ロジウム膜が表面に形成された接触端子24においては、接触端子24が接触するウエハの主面の複数の電極（テストパッド）の材料であるはんだおよびアルミニウムなどが付着し難く、ニッケルより硬度が高く、かつ酸化され難く接触抵抗を安定させることができる。

【0087】

次に、上記シリコンエッチング用固定治具を取り外した後、図15に示すように、薄膜プローブ枠60およびプロセスリング61が取り付けられた面に保護フィルム66を接着し、接触端子24が形成された面に保護フィルム67を接着する。この時、保護フィルム67の接触端子24と対向する領域には、接触端子24の先端部が保護フィルム67と接触して汚染や破損してしまうことを防ぐための汚染防止材68が配置されている。続いて、アライメントマーク53上の保護

フィルム 66 を除去する。

【0088】

次に、図 16 に示すように、薄膜プローブ枠 60 と接着層 54 との間に接着剤 69 を塗布する。続いて、薄膜プローブ枠 60 を下方へ押し出しながら薄膜プローブ枠 60 の端部を変形した接着層 54 に固着する。

【0089】

その後、保護フィルム 66、67、および薄膜プローブ枠 60 の外周部に沿って一体となったポリイミド膜 50 と接着層 54 と接着剤 69 とを切り出し、本実施の形態 1 の薄膜プローブ 20 を製造する。

【0090】

上記ような薄膜プローブ 20 の製造工程については、本発明者らによる特願 2002-289377 号にも記載されている。

【0091】

ところで、ウエハ状態での半導体集積回路の検査（たとえばプローブ検査）のスループットを向上させるためには、ウエハ 1 枚当たりの検査に要する時間を短縮することが求められる。ウエハ 1 枚当たりの検査に要する時間 T_0 は、たとえば、半導体検査装置の 1 回の検査に要する時間を T_1 、プローブカードのインデックスに要する時間を T_2 、プローバが有する探針（本実施の形態 1 においては接触端子 24（図 4 参照））とウエハとを接触させるタッチダウン回数を N 、およびウエハの交換に要する時間を T_3 とすると、 $T_0 = (T_1 + T_2) \times N + T_3$ と表される。この式より、ウエハ状態での半導体集積回路装置の検査のスループットを向上させるためには、タッチダウン回数を少なくすることが求められる。また、1 枚のウエハに形成されたチップ領域数を M_1 、プローブカードが同時に接触できるチップ領域数を M_2 とすると、ショット効率 K は、 $K = M_1 / (M_2 \times N)$ と表される。このショット効率 K が悪いということは、プローブカードの利用効率が悪く、タッチダウン回数が増加しているということを意味する。すなわち、このショット効率 K を求める式からもタッチダウン回数を少なくすることが求められる。

【0092】

ここで、ウエハ状態での半導体集積回路の検査におけるチップ領域の多数個取り（超多数個取りを含む）の種々の例と、その際のショット効率について図17～図24を用いて説明する。

【0093】

図17は、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0094】

図17に示した例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカードが一度に接触できるコンタクト領域（第1領域）CAを紙面の横方向で2個かつ縦方向で8個の計16個のチップ領域に対応させ、プローブカードの25回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。上記のショット効率Kを求める式から、この場合のショット効率を求めると約78%となる。

【0095】

図18も、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0096】

図18に示した例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカードが一度に接触できるコンタクト領域CAを紙面の横方向で2個かつ縦方向で12個の計24個のチップ領域に対応させ、プローブカードの18回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。上記のショット効率Kを求める式から、この場合のショット効率を求めると約72%となる。

【0097】

図19も、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0098】

図19に示した例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカードが一度に接触できるコンタクト領域CAを紙面の横方向で4個かつ縦方向で8個の計32個のチップ領域に対応させ、プローブカードの13回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。上記のショット効率Kを求める式から、この場合のショット効率を求めると約75%となる。

【0099】

図20も、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0100】

図20に示した例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカードが一度に接触できるコンタクト領域CAを紙面の横方向で8個かつ縦方向で8個の計64個のチップ領域に対応させ、プローブカードの8回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。上記のショット効率Kを求める式から、この場合のショット効率を求めると約61%となる。

【0101】

図21も、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0102】

図21に示した例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカードが一度に接触できるコンタクト領域CAを紙面の横方向で10個かつ縦方向で10個の計100個のチップ領域に対応させ、プローブカードの4回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。上記のショット効率Kを求める式から、この場合のショット効率を求めると約78%となる。

【0103】

図22も、プローブカードの1回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0104】

図22に示す例は、ウエハWHの面内に312個のチップ領域が設けられ、プローブカード（接触端子24）が一度に接触できるコンタクト領域CAを1列おきのチップ領域に対応させ、プローブカードの2回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。この場合、プローブカードが同時に接触できるチップ領域数は168個である。上記のショット効率Kを求める式から、この場合のショット効率を求めると約93%となる。

【0105】

図23も本実施の形態1のプローブカードが1回の接触によって検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0106】

図23に示す例は、ウエハWHの面内に856個のチップ領域が設けられ、プローブカード（接触端子24）が一度に接触できるコンタクト領域CAを4列おきのチップ領域に対応させ、プローブカードの4回の接触でウエハWHの面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。この場合、プローブカードが同時に接触できるチップ領域数は230個である。前述のショット効率Kを求める式から、この場合のショット効率を求めると約93%となる。

【0107】

図24も本実施の形態1のプローブカードが1回の接触によって検査するチップ領域のウエハ面内における配列の一例を示す平面図である。なお、チップ領域はハッチングを付して示してある。

【0108】

図 2 4 に示す例は、ウエハ W H の面内に 8 2 8 個のチップ領域が設けられ、プローブカード（接触端子 2 4）が一度に接触できるコンタクト領域 C A を等間隔で選択された所定のチップ領域に対応させ、プローブカードの 8 回の接触でウエハ W H の面内のすべてのチップ領域の半導体集積回路の検査をできるようにしたものである。この場合、プローブカードが同時に接触できるチップ領域数は 1 1 8 個である。前述のショット効率 K を求める式から、この場合のショット効率を求めると約 8 8 % となる。

【 0 1 0 9 】

図 1 7 ～図 2 4 を用いて説明したように、図 1 7 ～図 2 1 に示したような矩形のコンタクト領域 C A を設定した場合には、ショット効率が約 8 0 % 未満となるが、図 2 2 ～図 2 4 に示したようにウエハ W H の全面で所定の配列もしくは間隔でチップ領域を選択することによってコンタクト領域 C A を設定した場合には、ショット効率を約 8 0 % 以上にすることができる。この時、タッチダウン回数に着目すると、図 2 2 ～図 2 4 に示した例の場合には、矩形のコンタクト領域 C A を設定した場合（図 2 0 および図 2 1 に示した例は除く）より大幅に減少することができる。すなわち、図 2 2 ～図 2 4 に示したようにウエハ W H の全面で所定の配列もしくは間隔でチップ領域を選択しコンタクト領域 C A を設定することによって、ウエハ 1 枚当たりの検査に要する時間を短縮することができる。その結果、ウエハ状態での半導体集積回路の検査のスループットを向上させることが可能となる。

【 0 1 1 0 】

また、カンチレバー状のプローブ針とした場合には、チップ領域が縮小し、チップ領域内の電極（テストパッド）が狭ピッチ化した場合には、プローブカードへのプローブ針の針立てが困難になることが懸念される。さらに、カンチレバー状のプローブ針とした場合には、チップ領域に形成された電極（テストパッド）が、たとえば対向する 2 辺に沿って 1 列ずつ計 2 列が配列されているとすると、図 1 7 および図 1 8 に示したような 2 列のチップ領域の配列のコンタクト領域 C A に対応した針立てはできる。しかしながら、それ以上の配列のチップ領域がコンタクト領域 C A となる場合（たとえば図 1 9 ～図 2 1 に示した例）や、ウエハ

WHの全面で所定の配列もしくは間隔で選択されたチップ領域がコンタクト領域CAとなる場合（たとえば図22～図24に示した例）には、プローブ針の延在する方向を考慮すると、針立てが不可能となる。すなわち、カンチレバー状のプローブ針とした場合には、ショット効率がよくタッチダウン回数の少ない図22～図24に示した多数個取りの例を実現することは不可能となる。その一方で、図1～図16を用いて説明した本実施の形態1のプローブカードにおいては、前述したように、検査対象のウエハWHの主面の全面において接触端子24（図4参照）の先端部を電極（テストパッド）の位置に合わせて配置することができるので、図22～図24に示した多数個取りの例を実現することが可能となる。また、検査対象のウエハWHに形成されたすべてのチップ領域のすべての電極（テストパッド）の位置に合わせて接触端子24の先端部を配置すれば、タッチダウン回数を1回とすることも可能である。

【0111】

次に、図25により、本実施の形態1の半導体集積回路装置の製造方法の一例を説明する。図25は半導体集積回路装置の製造方法を示すフロー図である。本実施の形態1においては、半導体集積回路装置としてSRAM（Static Random Access Memory）および電気的一括消去型EEPROM（Electric Erasable Programmable Read Only Memory；以下、フラッシュメモリという）を混載するMCP（Multi Chip Package）を例に説明する。

【0112】

まず、前処理工程により、SRAMおよびフラッシュメモリのそれぞれを形成する多数の素子をそれぞれ別々のウエハのデバイス面（主面）に形成する。すなわち、この工程では、SRAMおよびフラッシュメモリのそれぞれの仕様に基づいて、たとえば単結晶シリコンからなる半導体ウエハに対して、酸化、拡散、不純物注入、配線パターン形成、絶縁層形成および配線層形成などの各ウエハ処理工程を繰り返して所望の集積回路を形成するものである（ステップSS1、SF1）。

【0113】

次に、上記ウエハを複数のチップ領域に分割するスクライブ領域に形成された

TEG (Test Element Group) を形成するMISのDC動作特性試験を行う。すなわち、TEGを形成するMISのしきい値電圧を測定することにより、SRAMおよびフラッシュメモリのそれぞれを形成するMISのしきい値電圧を検査するものである（ステップSS2、SF2）。

【0114】

次に、多数の素子が形成されたウエハに対しての検査（ウエハレベル検査）を行う（ステップSS3、SF3）。ここでは、バーンイン検査およびプローブ検査をその順番に行うものであり、必要に応じてバーンイン検査の前に簡易なプローブ検査を入れる場合もある。バーンイン検査では、たとえばウエハを高温（たとえば125～150℃）雰囲気中において、定格もしくはそれを超える電源電圧を印加して集積回路に電流を流し、温度および電圧ストレスを加えて将来不良に到る可能性のあるチップをスクリーニングする。また、プローブ検査では、たとえばウエハを高温（たとえば85～95℃）雰囲気中において、SRAMおよびフラッシュメモリへの書き込みおよび読み出し動作により所定のテストパターンを用いてメモリ機能を試験し、所定の機能通りに動作するか否かを確認する機能テストや、入出力端子間のオープン／ショート検査、リーク電流検査、電源電流の測定などのDCテスト、メモリ制御のACタイミングを試験するACテストなどを行う。このウエハレベルプローブ検査工程においては、図1～図16を用いて説明した本実施の形態1のプローブカードを有する半導体検査装置が用いられる。また、ウエハレベルバーンイン検査工程においても、本実施の形態1のプローブカードを適用してもよい。このようなウエハレベルでの検査を行うことにより、バーンイン検査等の不良データを上記前処理工程へフィードバックすることが可能となる。それにより、前処理工程の不具合を改善することができる。

【0115】

また、上記のようなステップSS3、SF3において、バーンイン検査時間（8時間～48時間程度）と同様に検査時間の長い検査、たとえばロングサイクルテストやリフレッシュテスト（1時間～数10時間程度）などを行ってもよい。このような検査時間の長い検査をウエハレベルで行うことにより、そのような検査を個々のチップに分割してから行う場合に比べて本実施の形態1の半導体集積

回路装置の製造のスループットを大幅に向上することができる。

【0 1 1 6】

次に、上記バーンイン検査およびプローブ検査の結果、不良の素子に対してレーザ光を照射して救済する。すなわち、この工程では、プローブ検査の結果を解析して S R A M およびフラッシュメモリの不良ビットを見つけ出し、この不良ビットに対応する冗長救済ビットのヒューズをレーザ光で切断、または電気ヒューズを外部電圧入力で切断することにより、冗長救済処理を施してリペアを行うものである（ステップ S S 4、S F 4）。この救済工程後、上記ステップ S S 3、S F 3 で示したウエハレベルバーンイン検査工程およびウエハレベルプローブ検査工程と同様のウエハレベルバーンイン検査工程およびウエハレベルプローブ検査工程を行ってもよい。この工程は、冗長救済処理により不良ビットを冗長救済用ビットに切り替えることができたことを確認するものである。ここで、冗長救済処理後においてのみ実施可能な S R A M およびフラッシュメモリのメモリセルの干渉試験、たとえばディスタブプリフレッシュテストなどを行ってもよい。また、フラッシュメモリのメモリセルに対しては、ウエハレベルで書き込みおよび消去の試験を行ってもよい（ステップ S S 5、S F 5）。

【0 1 1 7】

次に、S R A M が形成されたウエハおよびフラッシュメモリが形成されたウエハのそれぞれを個々のチップへ切断する（ステップ S S 6、S F 6）。ここで、切断せずに良品のウエハをそのまま製品として出荷することも可能である（ステップ S S 7、S F 7）。

【0 1 1 8】

S R A M が形成されたチップおよびフラッシュメモリが形成されたチップを M C P に組み立てる場合には、S R A M が形成されたチップおよびフラッシュメモリが形成されたチップを実装基板上に搭載するダイボンディング工程、各チップのパッドと実装基板上のパッドとをワイヤにより電氣的に接続するワイヤボンディング工程、各チップおよびワイヤの部分を保護するためにレジンによりモールドするレジンモールド工程および外部リードを成形・表面処理するリード成形工程などを行う。なお、ワイヤボンディングに限らず、フリップチップボンディン

グなども可能である（ステップSP7）。このようにして組み立てたMCPは、製品として出荷し、ユーザに提供することができる（ステップSP8）。

【0119】

上記のような本実施の形態1の半導体集積回路装置の製造方法によれば、MCPを組み立てる前にバーンイン検査およびプローブ検査を行うので、バーンイン検査による不良またはプローブ検査による不良が発見されたチップについても救済することができる。それにより、KGDによってMCPを組み立てることができるようになるので、MCPの歩留りを大幅に向上することができる。また、MCPに搭載するチップの数が増える程効果が大きくなる。

【0120】

また、ウエハレベルでのバーンイン検査およびプローブ検査の適用によって、合計のインデックス時間を短縮することができる。さらに、ウエハレベル検査を実施することにより、同時に検査できるチップの数を増やすことができる。これらのことから、ウエハ検査工程のスループットを向上することが可能となるので、本実施の形態1の半導体集積回路装置の製造コストを低減することが可能となる。

【0121】

（実施の形態2）

図26は、前記実施の形態1で説明した多層配線基板1（図1参照）の下面に取り付けられる本実施の形態2の下部押圧手段の構成を示す斜視図である。

【0122】

本実施の形態2の下部押圧手段は、前記実施の形態1の下部押圧手段の構成（図3参照）とプッシャ18（図3参照）以外はほぼ同様である。図26に示すように、本実施の形態2の下部押圧手段には、プッシャ18の代わりにプッシャ（押圧部材）18Aが配置される。前記実施の形態1のプッシャ18は、プローブカードが同時に接触するチップ領域の数と同数だけ配置され、各チップ領域に個別に押圧力を与えたが、本実施の形態2のプッシャ18Aの配置数は、プローブカードが同時に接触するチップ領域の数より少なく、1つのプッシャ18Aは、複数のチップ領域に押圧力を与えるものである。たとえば、プローブカードが同

時に接触するチップ領域の配列が縦方向で 8 列かつ横方向で 8 列であった場合には、1 つのプッシャ 1 8 A は、縦方向または横方向で 1 列分のチップ領域、すなわち 8 個のチップ領域に押圧力を与えるものである。

【0 1 2 3】

このような本実施の形態 2 においても、前記実施の形態 1 と同様の効果を得ることができる。

【0 1 2 4】

(実施の形態 3)

図 2 7 は、前記実施の形態 1 で説明した多層配線基板 1 (図 1 参照) の下面に取り付けられる本実施の形態 3 の下部押圧手段の要部を示した断面図である。

【0 1 2 5】

本実施の形態 3 の下部押圧手段は、前記実施の形態 1 の下部押圧手段が有する薄膜プローブ 2 0 の構成以外はほぼ同様である。図 2 7 に示すように、本実施の形態 3 の薄膜プローブ 2 0 は、前記実施の形態 1 の薄膜プローブ 2 0 (図 4 参照) が有するランド 2 5 の表面が平坦となるように形成したものである。すなわち、ランド 2 5 を形成する銅膜 2 5 A、ニッケル膜 2 5 B および金膜 2 5 C のそれぞれの膜厚を厚くして、ポゴピン 1 2 が接するランド 2 5 の表面を平坦化したものである。

【0 1 2 6】

このように、ランド 2 5 の表面を平坦化することにより、接触端子 2 4 が検査対象のウエハ (チップ領域主面上に形成された電極 (テストパッド)) に接触した際の衝撃によって、ポゴピン 1 2 とランド 2 5 とが滑り、さらにポゴピン 1 2 とランド 2 5 とが滑ったことで生じる衝撃が接触端子 2 4 に伝わり、接触端子 2 4 の接触によって電極 (テストパッド) に形成された圧痕が広がってしまう不具合を未然に防ぐことができる。このような圧痕の広がりを防ぐことによって、後の工程で電極 (テストパッド) にボンディングワイヤを接続した際に、電極 (テストパッド) とボンディングワイヤとの接着力が低下してしまう不具合を未然に、かつ確実に防ぐことが可能となる。

【0 1 2 7】

また、前記実施の形態 1 のランド 25 の構成 (図 4 参照) においても、ポゴピン 12 が所定の押圧力でランド 25 を押圧するようなプリロードを予めポゴピン 12 に与えておくことによっても同様の効果を得ることができる。

【0128】

上記のような本実施の形態 3 においても、前記実施の形態 1、2 と同様の効果を得ることができる。

【0129】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0130】

たとえば、前記実施の形態においては、薄膜プローブを形成する際の型材としてシリコンからなるウエハを異方性エッチングによって加工して用いる場合について説明したが、シリコン以外の材料でもよいし、異方性エッチングに限るものではない。たとえば、ガラスなどをドライエッチング等で加工して用いてもよい。

【0131】

また、前記実施の形態においては、薄膜プローブを形成する際の型材となるウエハを異方性エッチングすることによって角錐台状の穴を形成する場合について説明したが、角錐台状とする代わりに、たとえば角錐状としてもよく、その穴を用いて、小さな針圧で安定した接触抵抗を確保できる程度の接触端子が形成できればよい。

【0132】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0133】

すなわち、ウエハ状態での半導体集積回路の電氣的検査のスループットを向上できる。

【図面の簡単な説明】**【図 1】**

本発明の一実施の形態であるプローブカードの要部斜視図である。

【図 2】

本発明の一実施の形態であるプローブカードの上面の要部斜視図である。

【図 3】

本発明の一実施の形態であるプローブカードに含まれる下部押圧手段の構成を示す斜視図である。

【図 4】

図 3 に示した下部押圧手段の要部断面図である。

【図 5】

図 3 に示した下部押圧手段に含まれる薄膜プローブの平面図である。

【図 6】

図 5 に示した薄膜プローブの一部を拡大して示した平面図である。

【図 7】

図 3 に示した下部押圧手段に含まれる薄膜プローブの平面図である。

【図 8】

図 7 に示した薄膜プローブの一部を拡大して示した平面図である。

【図 9】

図 4 ～図 8 にて説明した薄膜プローブの製造工程を説明する要部断面図である。

【図 10】

図 9 に続く薄膜プローブの製造工程中の要部断面図である。

【図 11】

図 10 に続く薄膜プローブの製造工程中の要部断面図である。

【図 12】

図 11 に続く薄膜プローブの製造工程中の要部断面図である。

【図 13】

図 12 に続く薄膜プローブの製造工程中の要部断面図である。

【図 14】

図 13 に続く薄膜プローブの製造工程中の要部断面図である。

【図 15】

図 14 に続く薄膜プローブの製造工程中の要部断面図である。

【図 16】

図 15 に続く薄膜プローブの製造工程中の要部断面図である。

【図 17】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 18】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 19】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 20】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 21】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 22】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 23】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域のウエハ面内における配列の一例を示す平面図である。

【図 24】

プローブカードの 1 回の接触によって半導体検査装置が検査するチップ領域の

ウエハ面内における配列の一例を示す平面図である。

【図 2 5】

本発明の一実施の形態である半導体集積回路装置の製造工程を示すフローチャートである。

【図 2 6】

本発明の他の実施の形態であるプローブカードに含まれる下部押圧手段の構成を示す斜視図である。

【図 2 7】

本発明の他の実施の形態であるプローブカードに含まれる下部押圧手段の要部断面図である。

【図 2 8】

ポゴピンの一例を示す断面図である。

【符号の説明】

- 1 多層配線基板
- 2 ベースホルダ
- 3 ピン
- 4 リニアプッシュ
- 5 スプリングプランジャ
- 6 蓋
- 7 アジャストホルダ
- 8 ボルト
- 9 シムリング
- 10 アジャストボルト
- 11 ワイヤ
- 12 ポゴピン（接続機構）
- 13 受けピン板
- 14、15 ポゴピン台座板
- 16 ピン
- 17 エラストマ（第2弾性材）

18、18A プッシャ (押圧部材)

19 押さえ板

20 薄膜プローブ (第1シート)

21 ストレッチホルダ

22 シリコンゴム

23 螺子

24 接触端子

25 ランド (第2電極)

25A 銅膜

25B ニッケル膜

25C 金膜

26 配線

27 補強材 (第1補強部材)

28 溝

29 エラストマ (第1弾性材)

30 押圧機構

41 ウエハ

43 穴

44 酸化シリコン膜

45 導電性膜

47、48、49 導電性膜

50 ポリイミド膜

51、52 導電性膜

53 アライメントマーク

54 接着層

55 金属シート

56 覗き窓

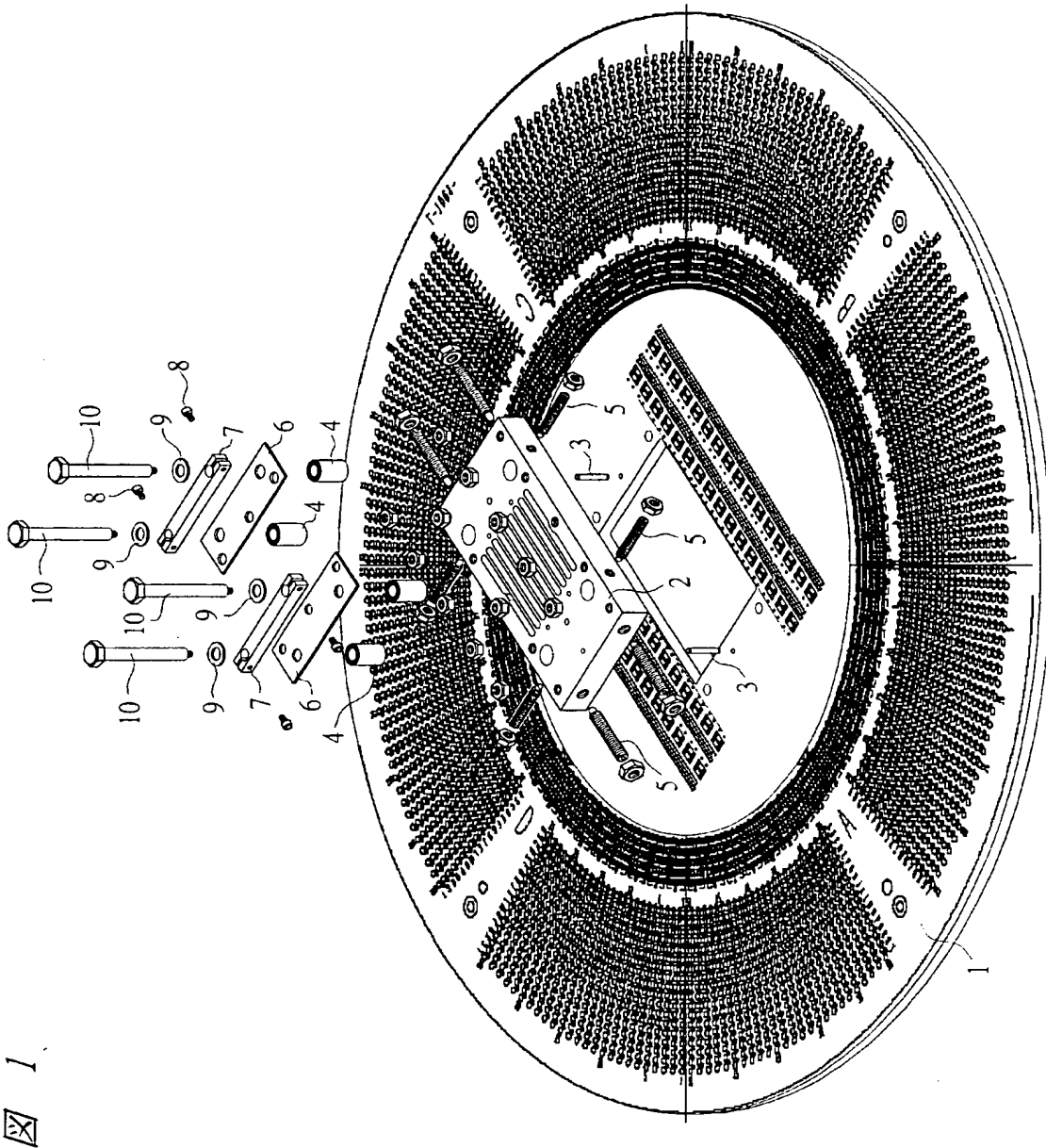
57 フォトレジスト膜

58 開口部

5 9 フォトレジスト膜
 6 0 薄膜プローブ枠
 6 1 プロセスリング
 6 2 中間固定板
 6 3 固定治具
 6 4 蓋
 6 5 Oリング
 6 6、6 7 保護フィルム
 6 8 汚染防止材
 6 9 接着剤
 C A コンタクト領域（第 1 領域）
 M B L 金属ボール
 P L G 接触ピン
 S F 1 ～ S F 7 ステップ
 S P 7、S P 8 ステップ
 S S 1 ～ S S 7 ステップ
 S P R ばね
 T U B 管（保持部材）
 W H ウエハ

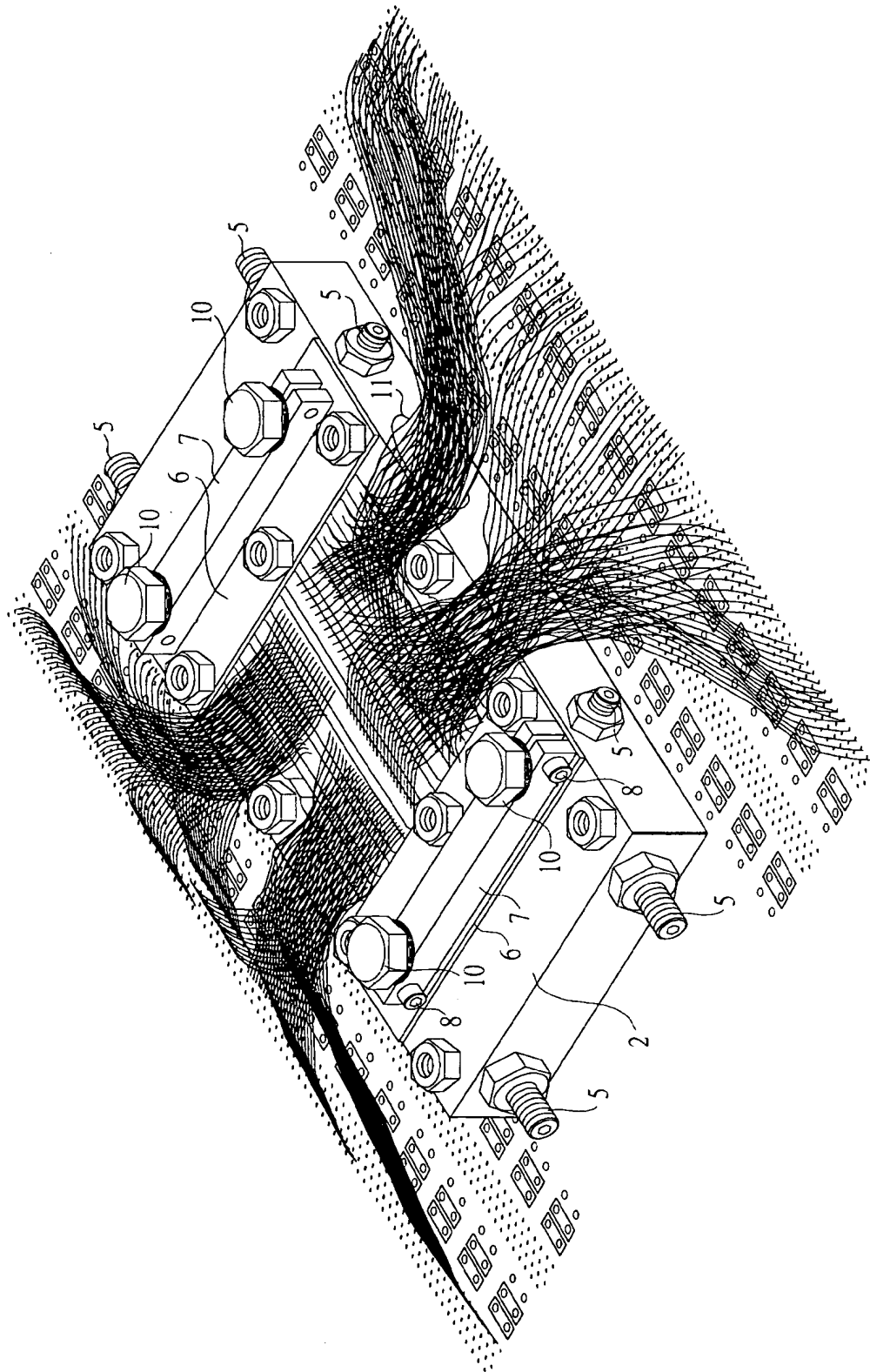
【書類名】 図面

【図 1】



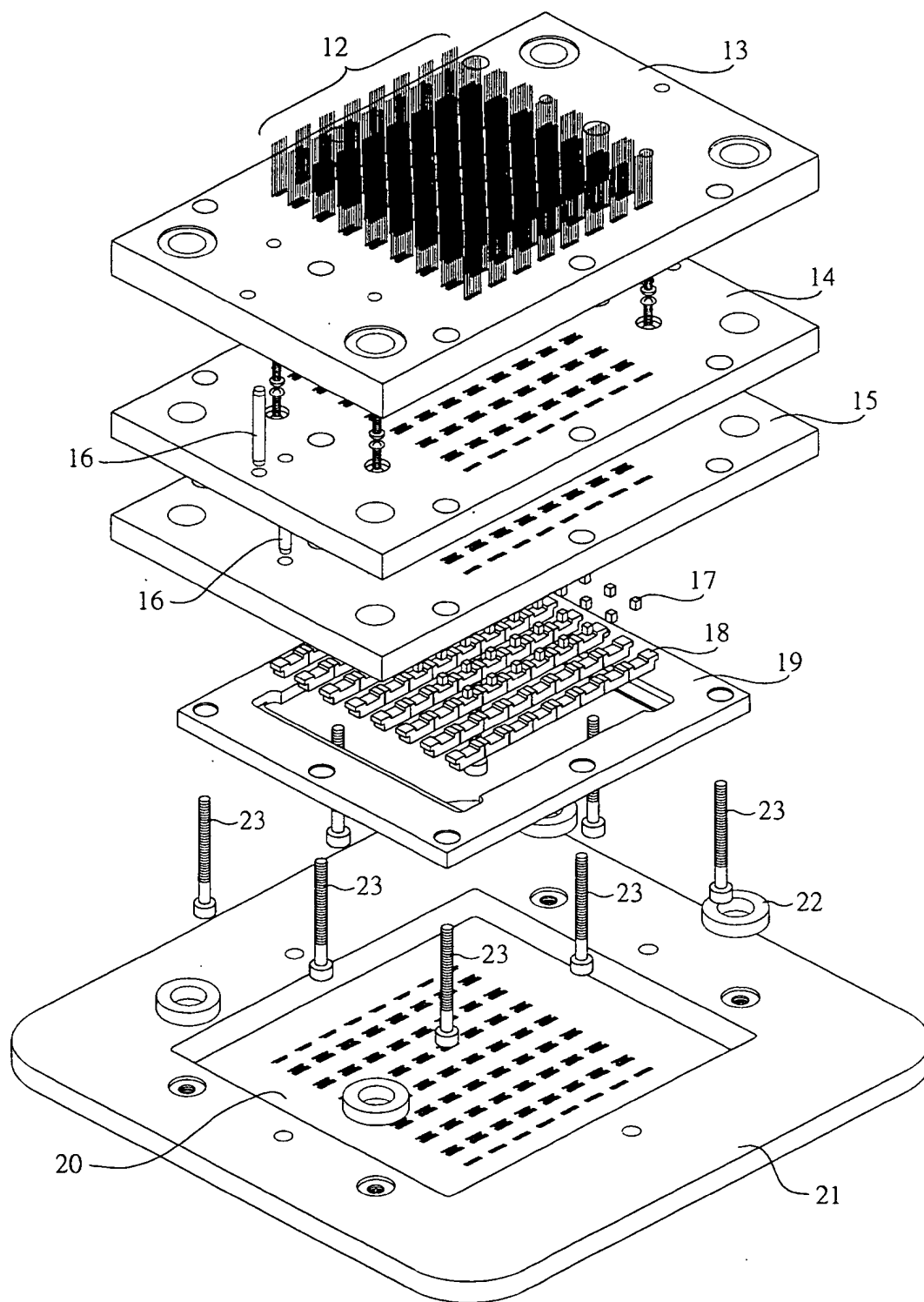
【図 2】

図 2



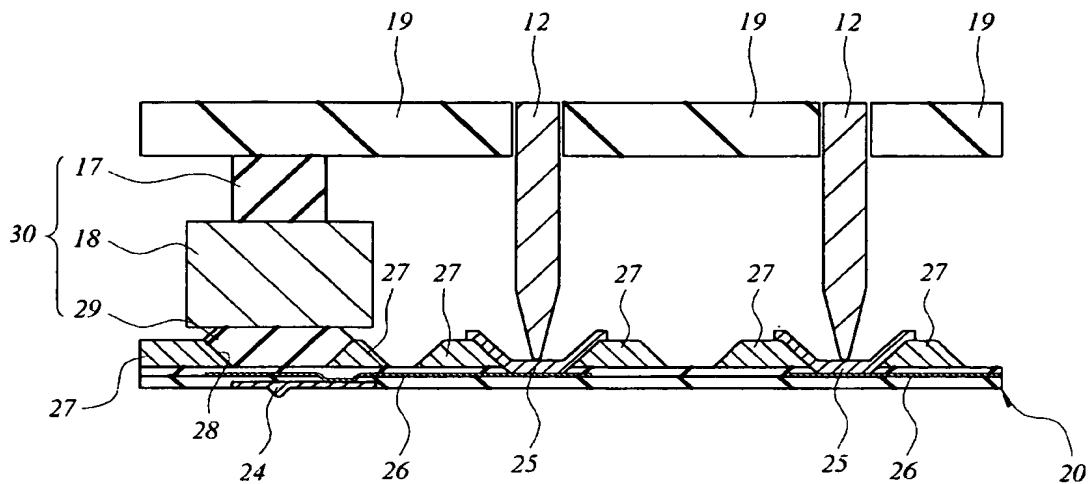
【図 3】

図 3



【図 4】

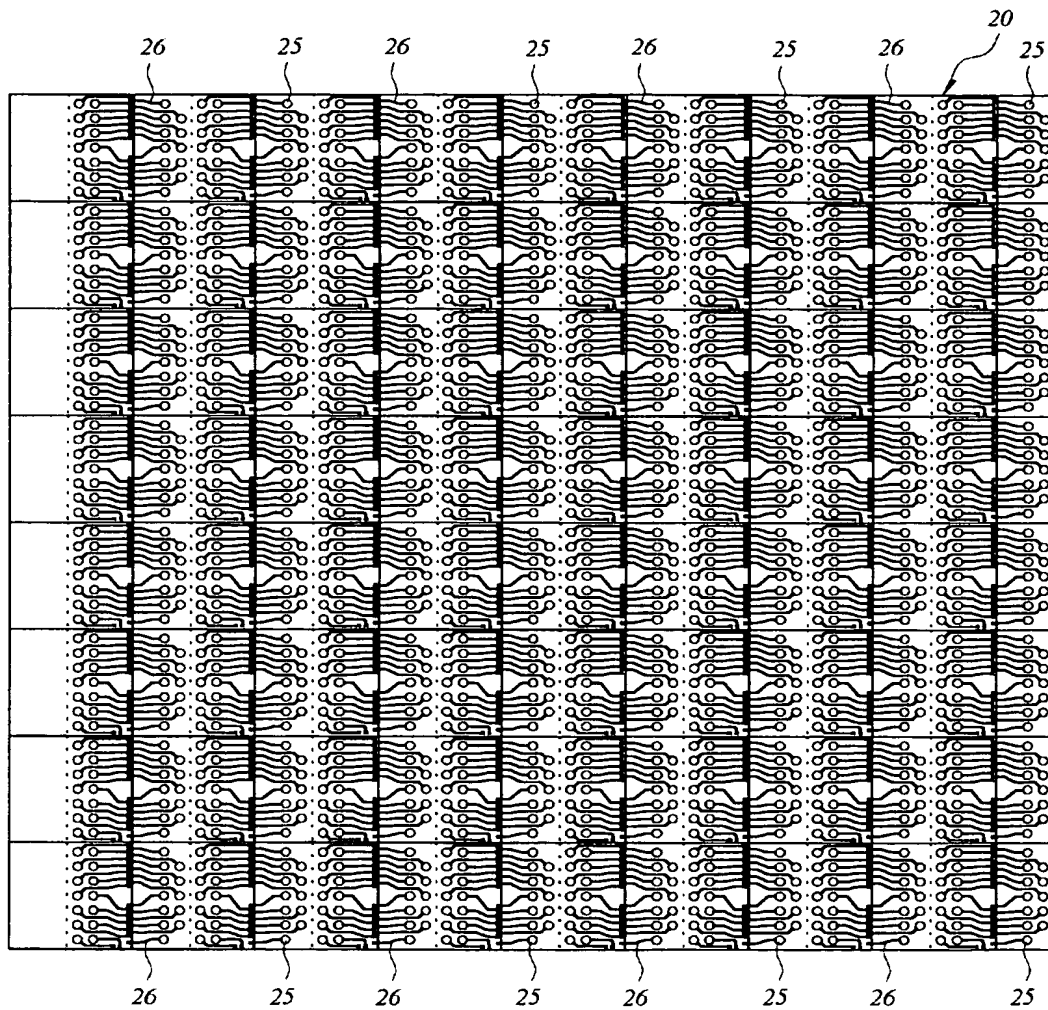
図 4



- 17: エラストマ(第2弾性材)
- 18: プッシャ(押圧部材)
- 20: 薄膜プローブ(第1シート)
- 24: 接触端子
- 27: 補強材(第1補強部材)
- 28: 溝
- 29: エラストマ(第1弾性材)
- 30: 押圧機構

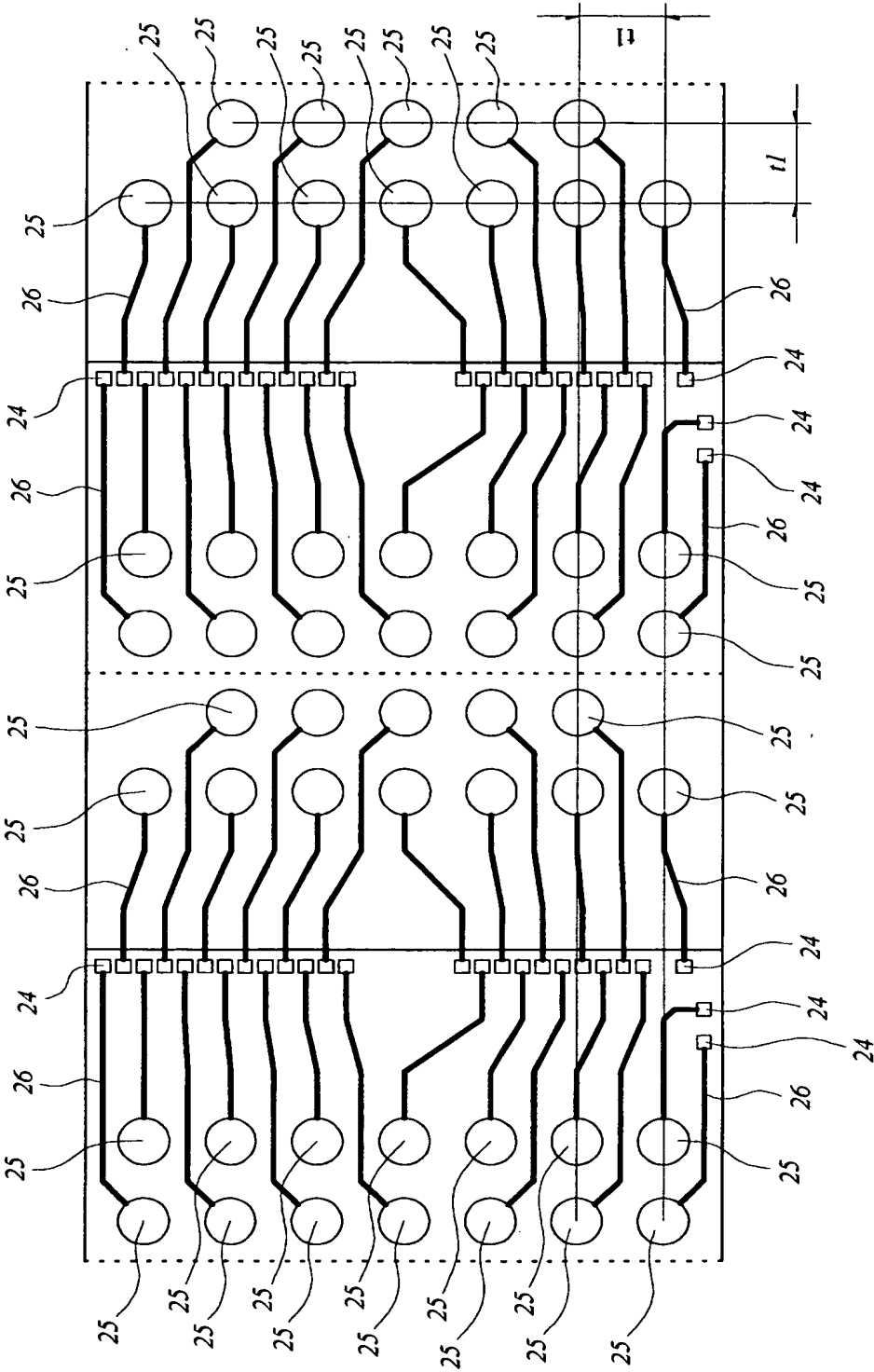
【図 5】

図 5



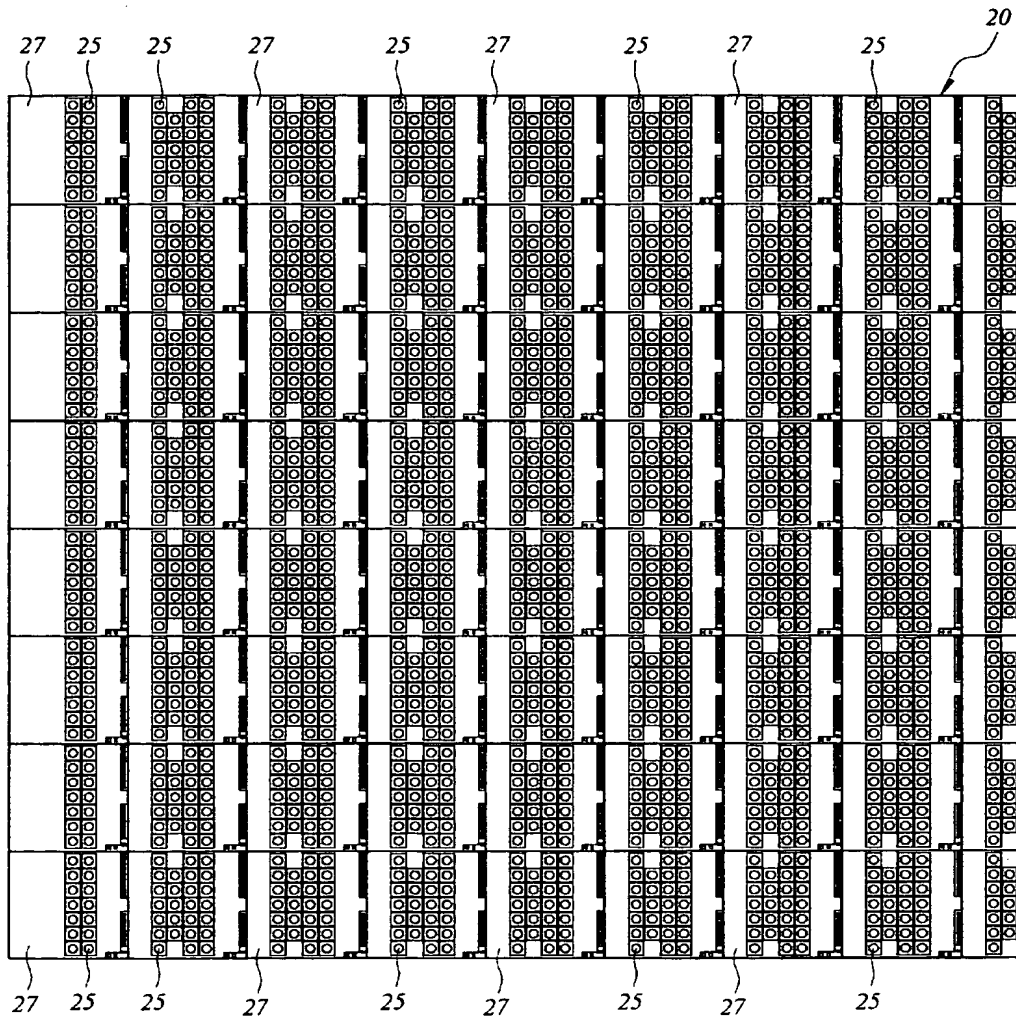
【図 6】

図 6



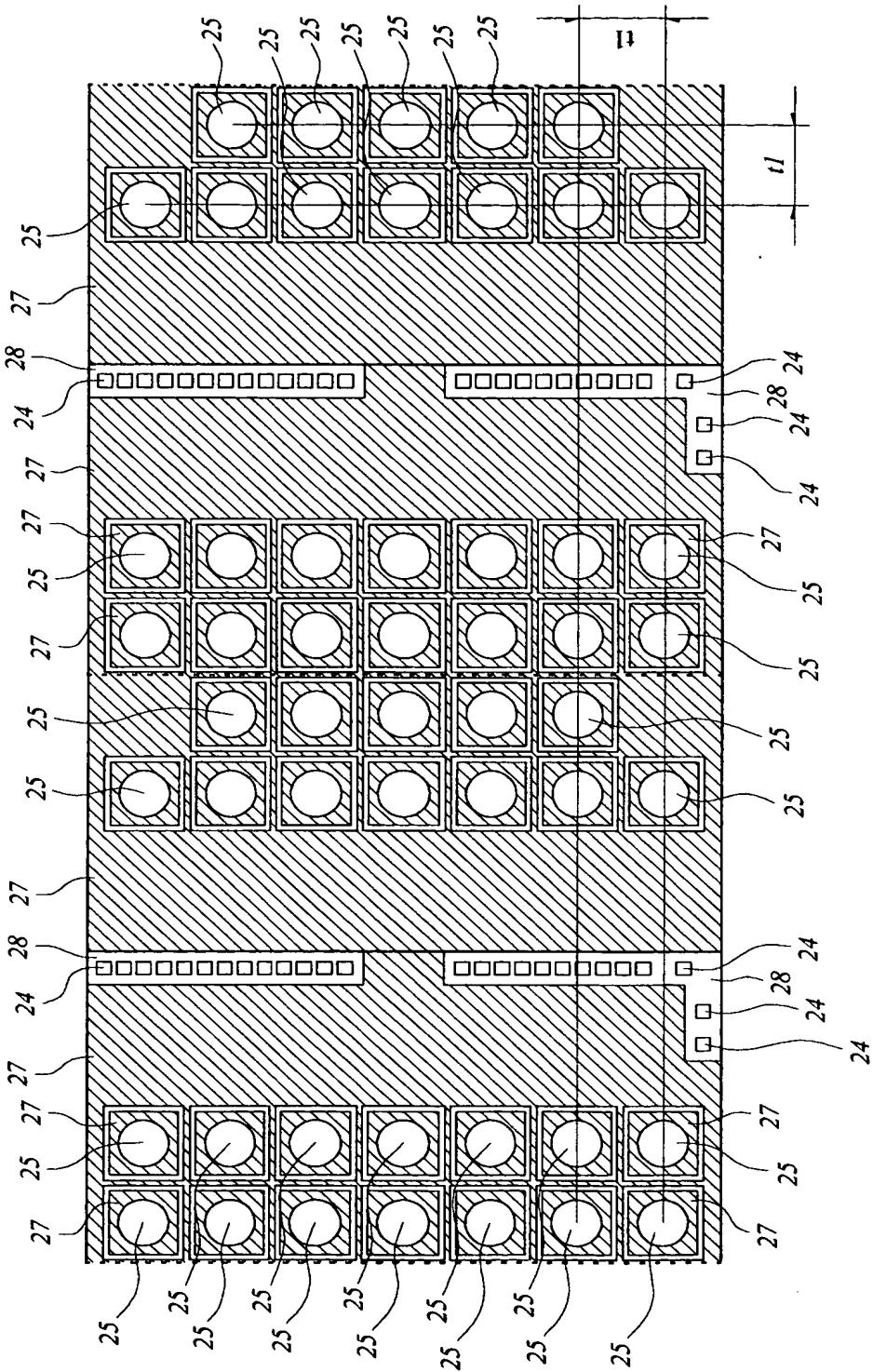
【図 7】

図 7

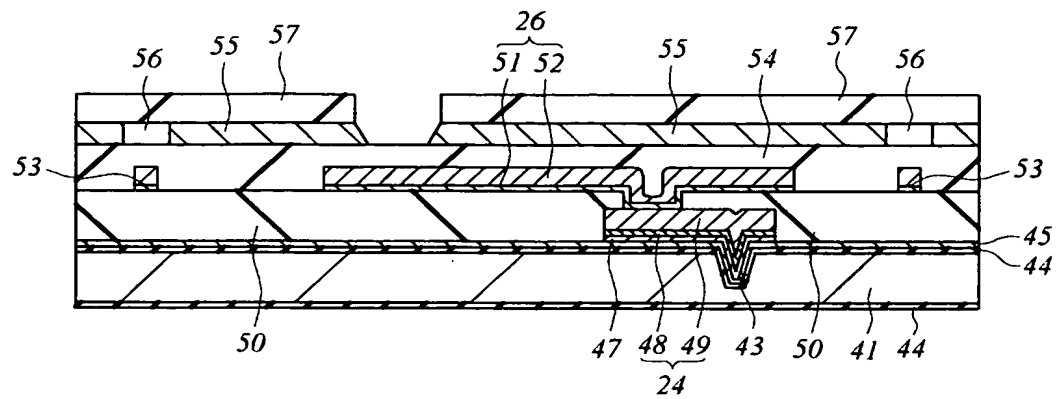


【図 8】

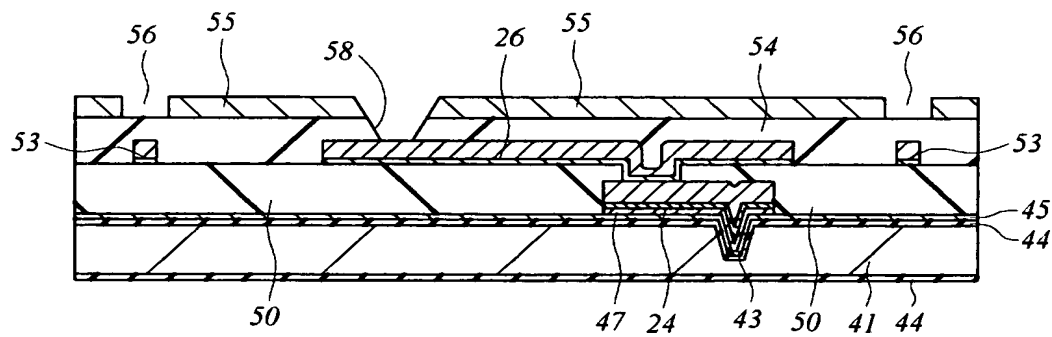
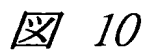
8



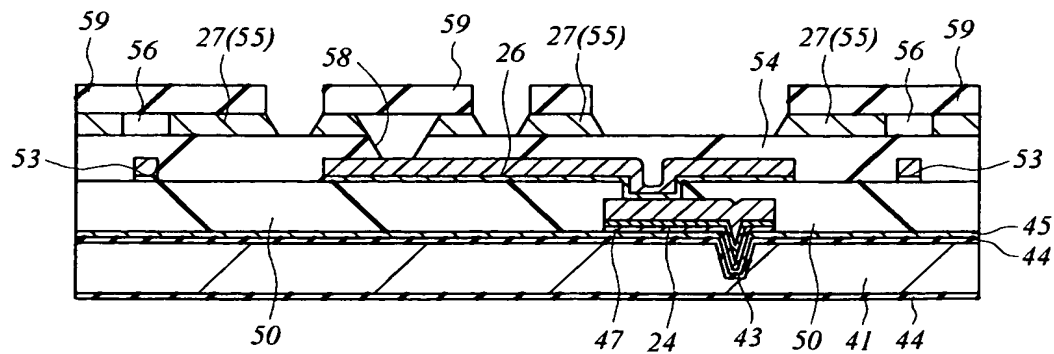
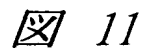
【図 9】



【図 10】

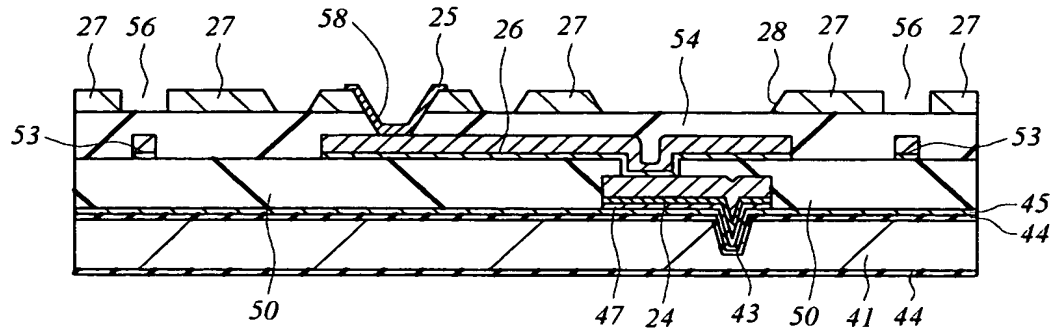


【図 1 1】



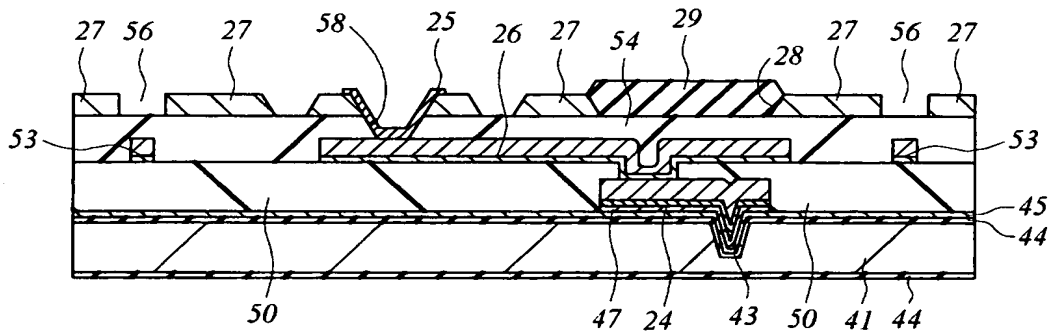
【図 12】

図 12



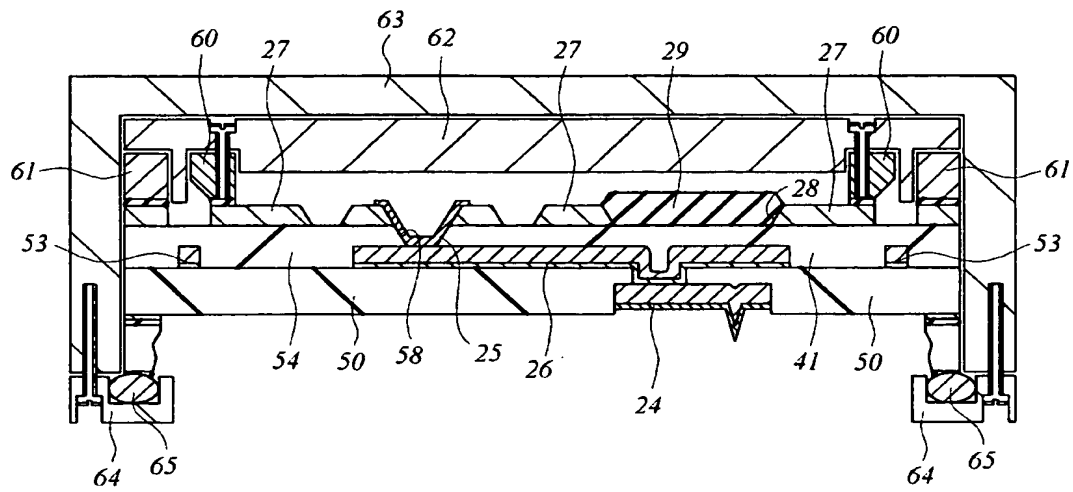
【図 13】

図 13



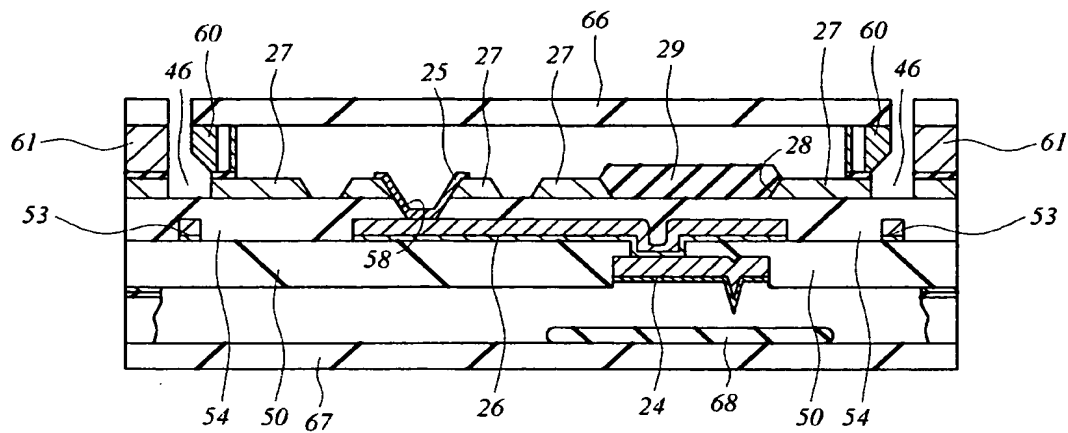
【図 14】

図 14



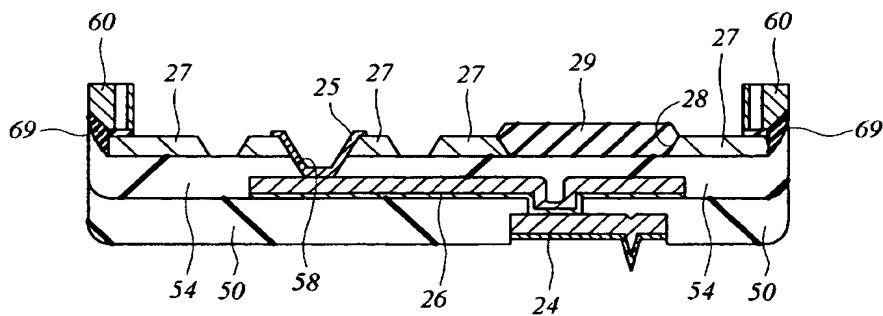
【図 15】

図 15



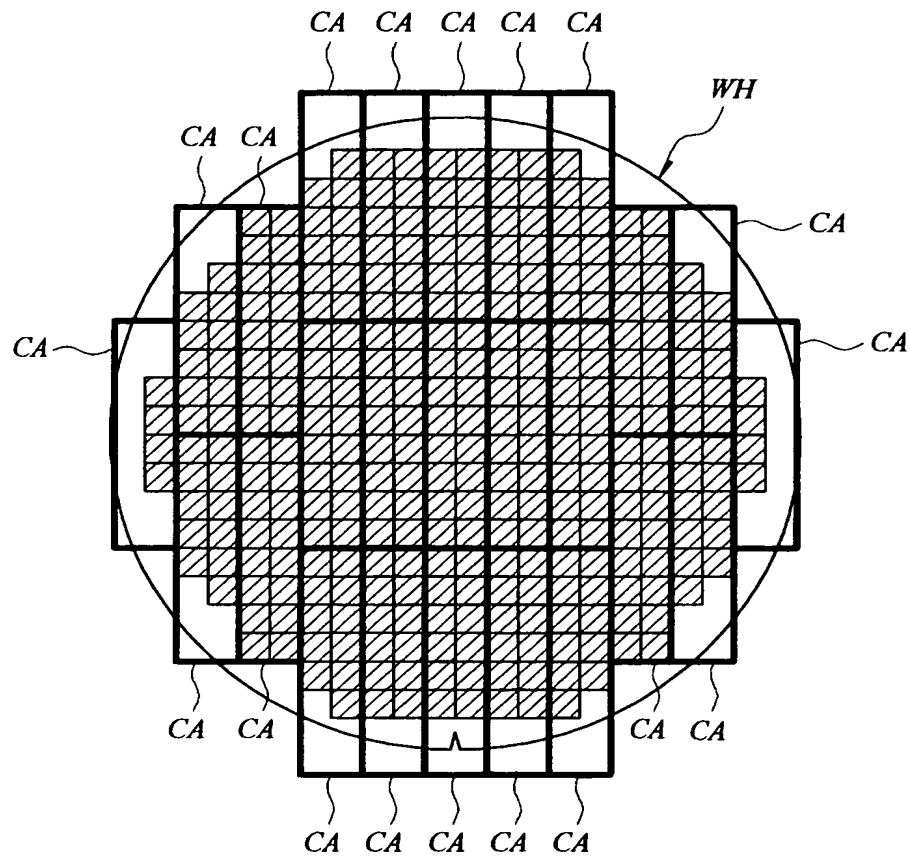
【図 16】

図 16



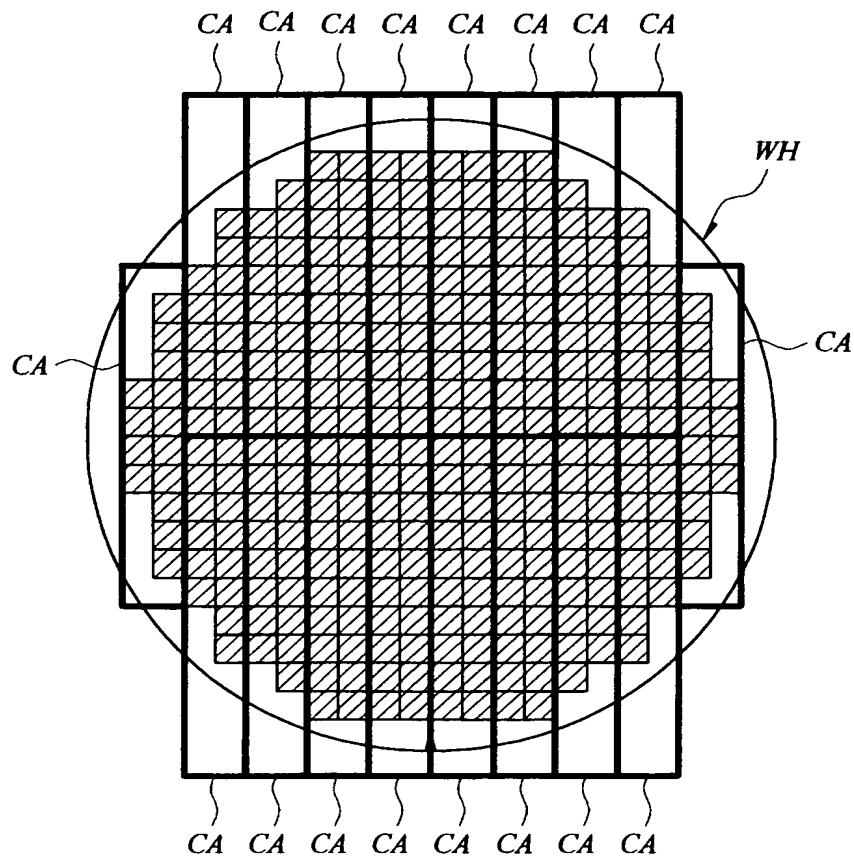
【図 17】

図 17



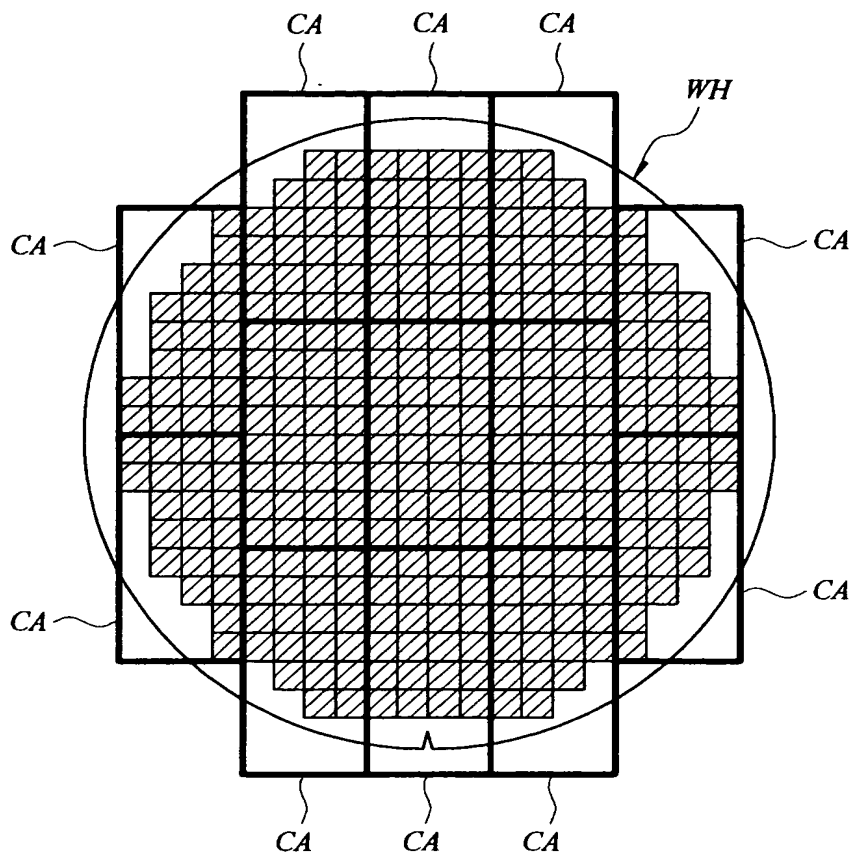
【図 18】

図 18



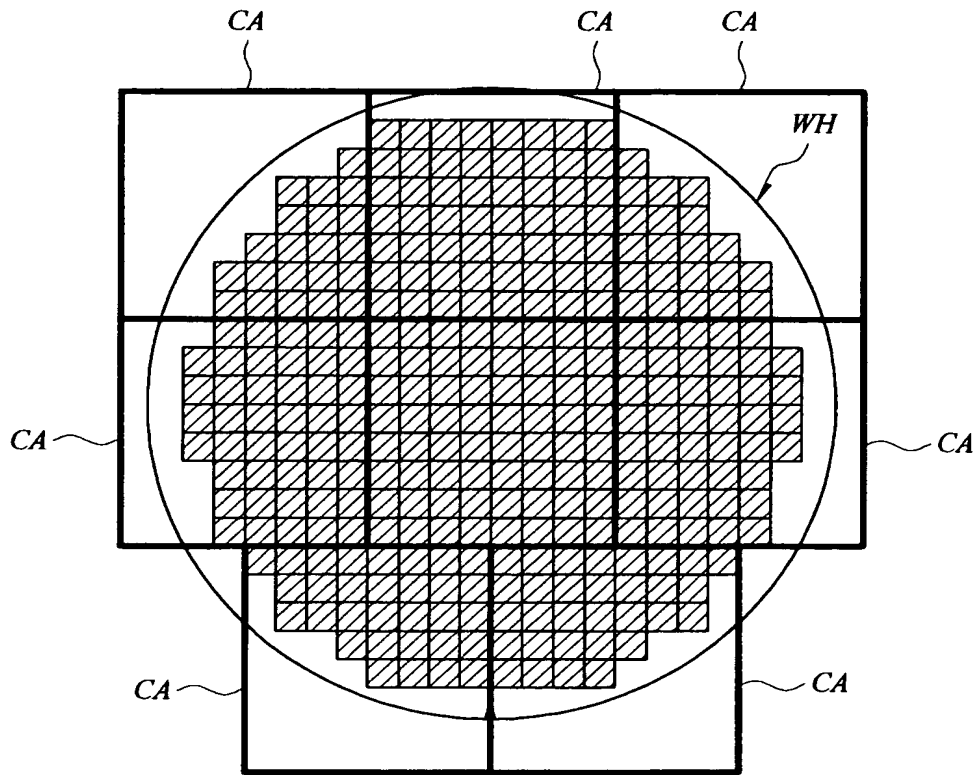
【図 19】

図 19



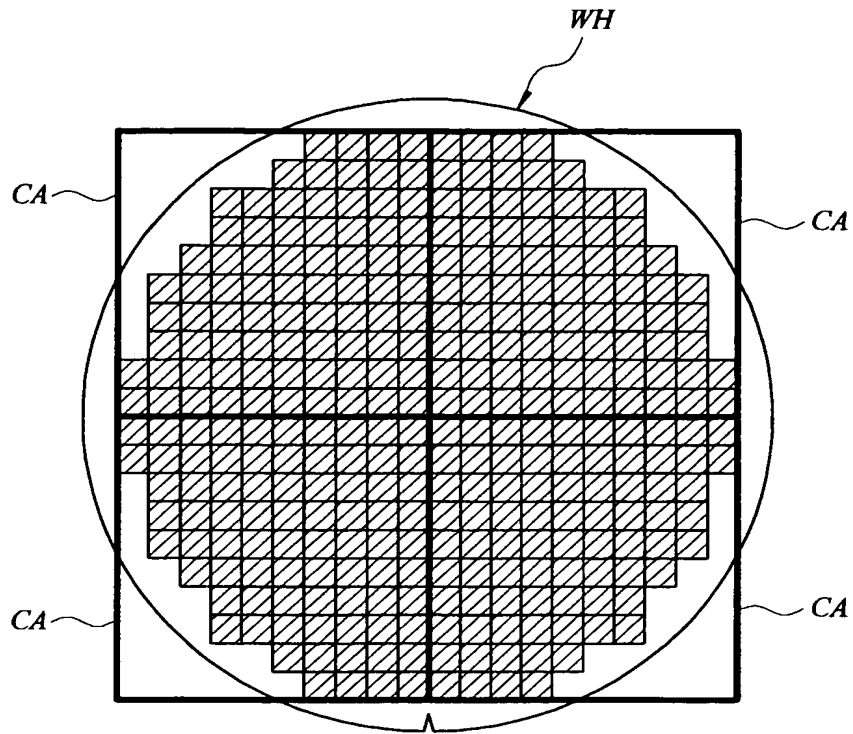
【図 20】

図 20



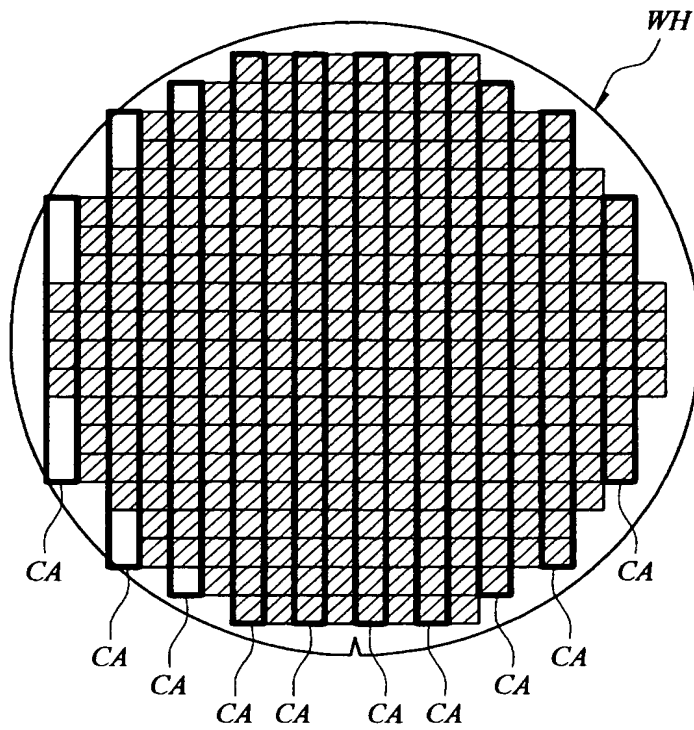
【図 21】

図 21



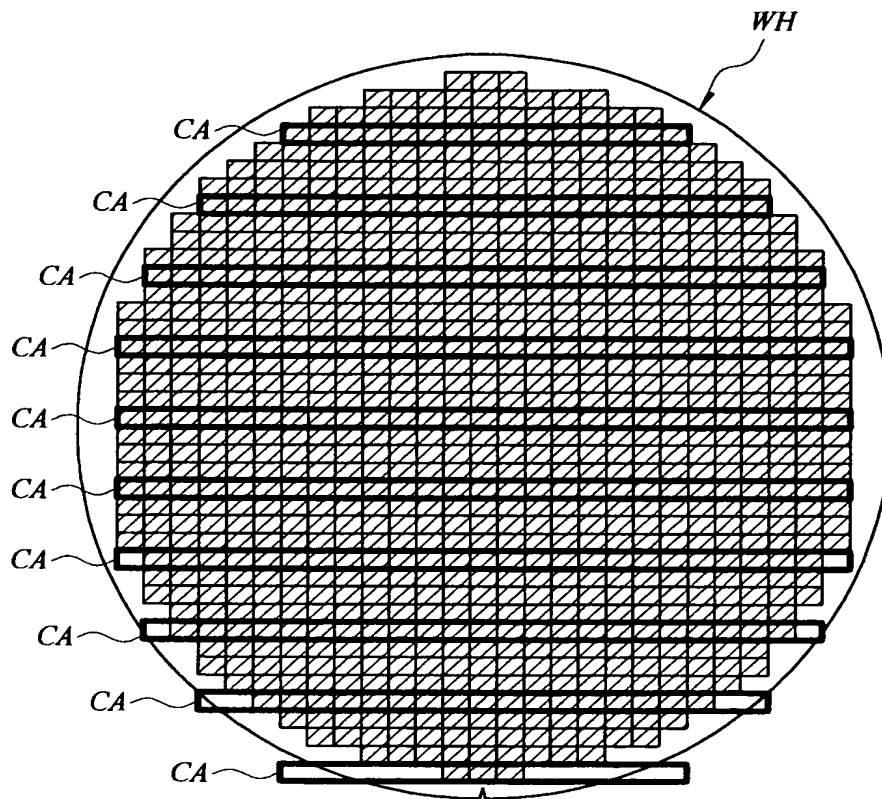
【図 22】

図 22



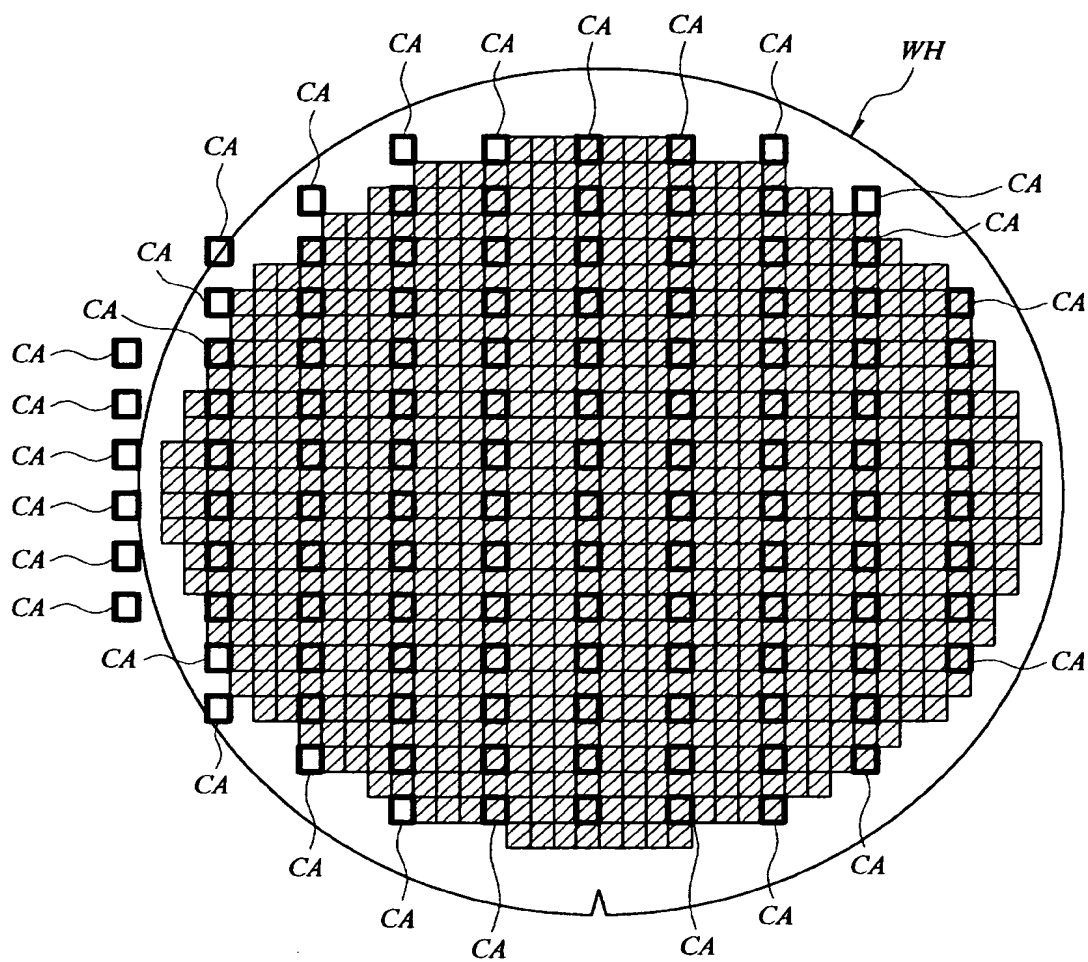
【図 23】

図 23



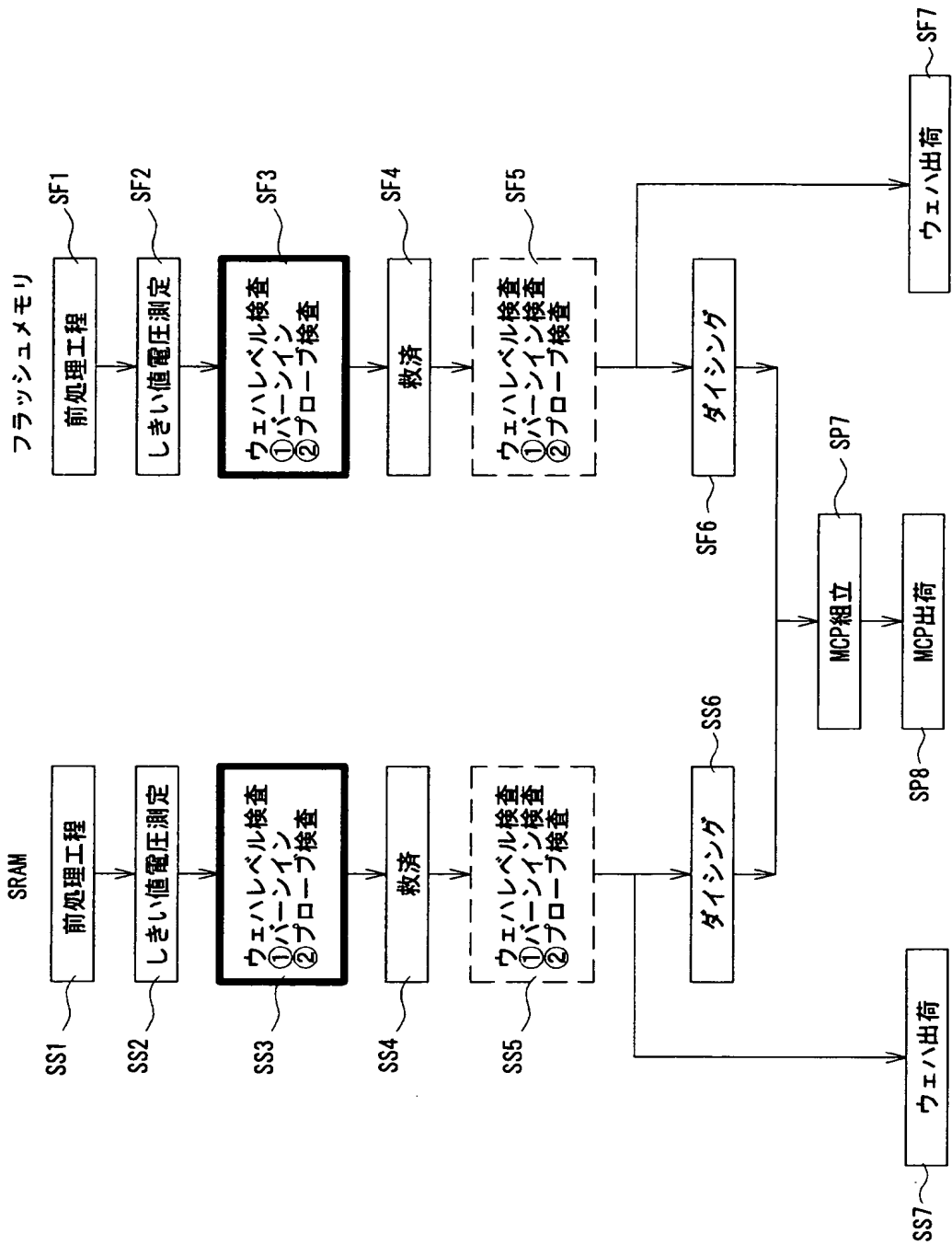
【図 24】

図 24



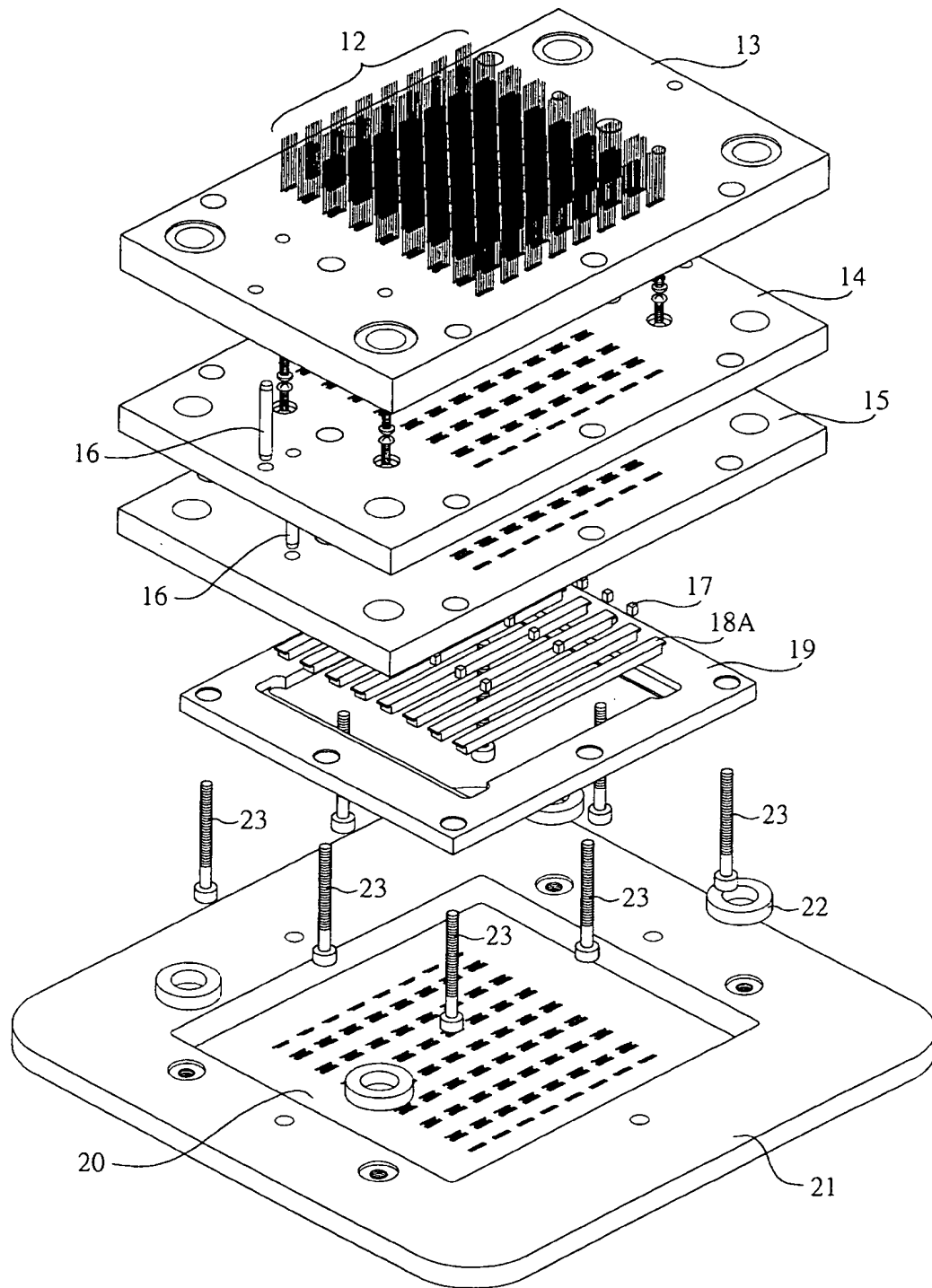
【図 25】

25



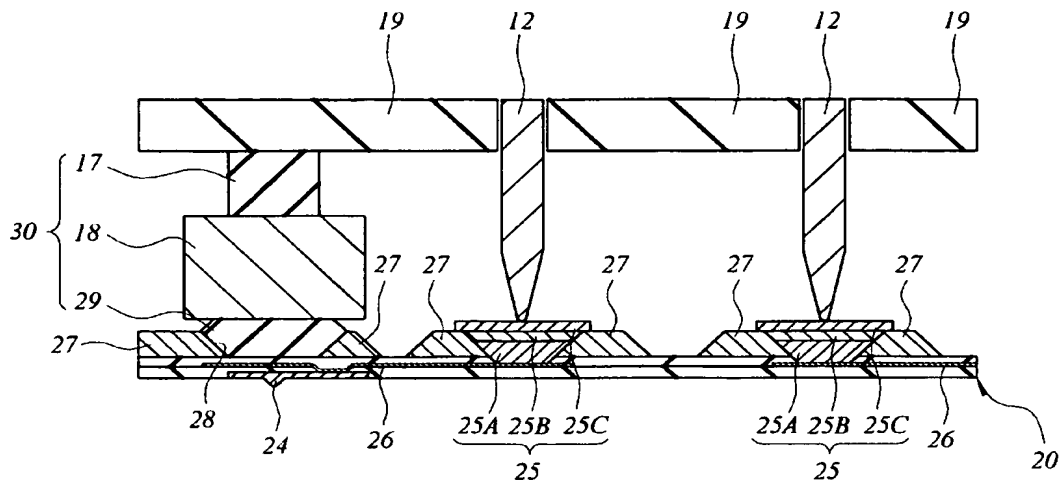
【図 26】

図 26



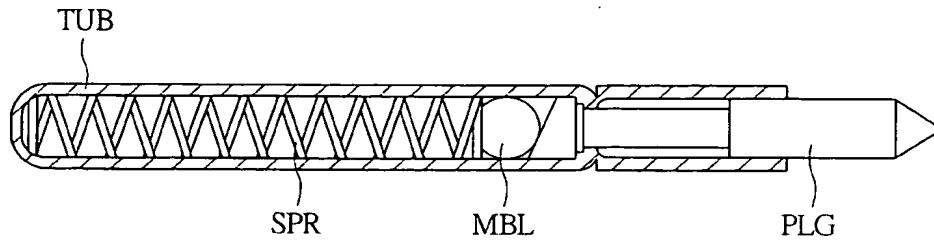
【図 27】

図 27



【図 28】

図 28



【書類名】 要約書

【要約】

【課題】 ウエハ状態での半導体集積回路の電氣的検査のスループットを向上する。

【解決手段】 薄膜プローブ 20 の上面において検査対象となるウエハと同程度の線膨張率（熱膨張係数）を有する補強材 27 を形成し、接触端子 24 の上部において補強材 27 に溝 28 を形成し、溝 28 内を満たしかつ溝 28 の上部へ所定量が出るようにエラストマ 17 より軟らかいエラストマ 29 を配置し、プッシャ 18 およびエラストマ 17 をエラストマ 17、29 でプッシャ 18 を挟むように配置することで押圧機構 30 を形成する。

【選択図】 図 4

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 75429

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2003-075429
受付番号	50301195024
書類名	出願人名義変更届 (一般承継)
担当官	田丸 三喜男 9079
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】 平成15年 7月18日

特願 2003-075429

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 7 5 4 2 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ